

# BEST AVAILABLE COPY

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-087659

(43)Date of publication of application : 30.03.1999

(51)Int.Cl. H01L 27/115  
G11C 16/04  
H01L 27/10  
H01L 21/8247  
H01L 29/788  
H01L 29/792

(21)Application number : 09-241434

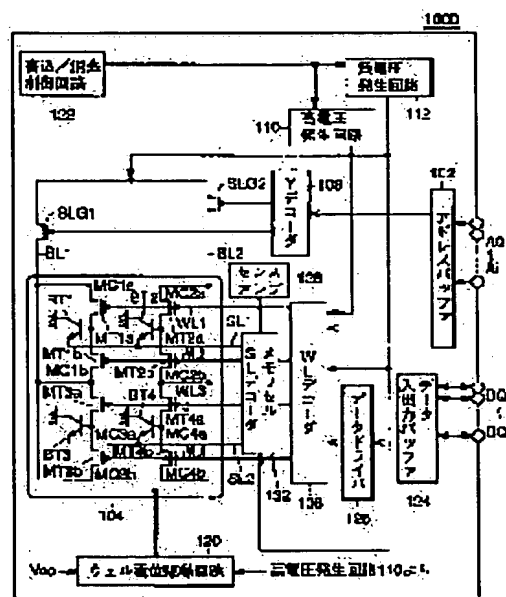
(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 05.09.1997

(72)Inventor : OONAKAMICHI TAKAHIRO  
AJIKA NATSUO**(54) NONVOLATILE SEMICONDUCTOR STORAGE DEVICE****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To provide a nonvolatile semiconductor storage device which can ensure margin for writing and reading operations, even at a low power supply voltage.

**SOLUTION:** The memory cell array of a nonvolatile semiconductor storage device 1000 is provided with a bipolar transistor BT1, in which a base is connected with a connecting point of the sources of memory cell transistors MC1a and MC1b. In the emitter of the bipolar transistor BT1, its potential level is controlled by a memory cell SL decoder 132. The collector of the bipolar transistor BT1 is kept at a grounding potential. During reading operation, the emitter potential is controlled so that the bipolar transistor BT1 is kept in a turning-on state, and a current in the channel of a memory cell transistor is amplified by the bipolar transistor BT1 so as to start the reading.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-87659

(43)公開日 平成11年(1999) 3月30日

(51)Int.Cl. <sup>8</sup>	識別記号	F I	
H 0 1 L 27/115		H 0 1 L 27/10	4 3 4
G 1 1 C 16/04			4 8 1
H 0 1 L 27/10	4 8 1	G 1 1 C 17/00	6 2 1 B
21/8247			6 2 2 Z
29/788		H 0 1 L 29/78	3 7 1
審査請求 未請求 請求項の数21 O L (全 43 頁) 最終頁に続く			

(21)出願番号 特願平9-241434

(22)出願日 平成9年(1997) 9月5日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 大中道 崇浩

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72)発明者 味香 夏夫

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

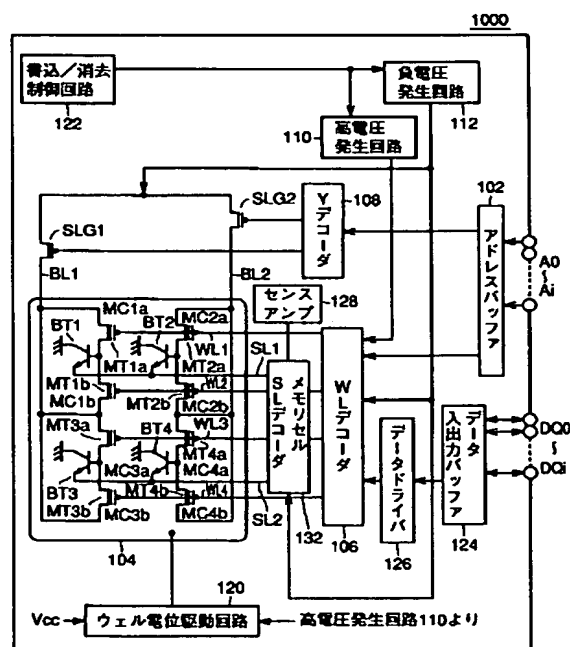
(74)代理人 弁理士 深見 久郎 (外3名)

(54)【発明の名称】 不揮発性半導体記憶装置

(57)【要約】

【課題】 低電源電圧においても、書込動作および読出動作のマージンを確保することが可能な不揮発性半導体記憶装置を提供する。

【解決手段】 不揮発性半導体記憶装置1000のメモリセルアレイにおいては、2つのメモリセルトランジスタMC1aのソースとメモリセルトランジスタMC1bのソースの接続点にベースが接続するバイポーラトランジスタBT1が設けられる。バイポーラトランジスタBT1のエミッタは、メモリセルSLデコーダ132によりその電位レベルが制御される。バイポーラトランジスタBT1のコレクタは接地電位に保持される。読出動作においては、バイポーラトランジスタBT1がオン状態となるようにエミッタ電位が制御され、メモリセルトランジスタのチャネルを流れる電流がバイポーラトランジスタBT1により増幅されて読出される。



## 【特許請求の範囲】

【請求項 1】 半導体基板上に形成される不揮発性半導体記憶装置であって、

行列状に配置される複数のメモリセルを含むメモリセルアレイと、

前記メモリセルの列にそれぞれ対応して設けられる複数のビット線と、

前記メモリセルの行にそれぞれ対応して設けられる複数のワード線と、

前記メモリセルの行に対応して設けられる複数の第 1 のセル選択線とを備え、

前記各メモリセルは、

メモリセルトランジスタを含み、

前記メモリセルトランジスタは、

前記半導体基板の第 1 導電型の主表面に形成された第 2 導電型のソース領域および前記第 2 導電型のドレイン領域と、

前記ソース領域と前記ドレイン領域とに挟まれたチャネル領域と、

前記チャネル領域上に酸化膜を介在して形成された電荷蓄積電極と、

前記電荷蓄積電極の上方に絶縁膜を介在して形成された制御電極とを有し、

前記ドレイン領域は、対応するビット線と結合し、

前記制御電極は、対応するワード線により電位が制御され、

前記不揮発性半導体記憶装置の読出動作において、外部からのアドレス信号に応じて、対応するワード線を選択し、選択されたビット線と選択された第 1 のセル選択線との間に電位差を与えるメモリセル選択手段と、

対応するメモリセルトランジスタのソース領域と対応する第 1 のセル選択線との間にそれぞれ設けられ、前記選択されたメモリセルトランジスタの前記ソース領域と前記ドレイン領域との間を流れる電流をベース電流として増幅し、前記選択された第 1 のセル選択線を流れる電流量を制御するように結合される、複数のバイポーラトランジスタと、

前記選択された第 1 のセル選択線を流れる電流値に応じて、前記選択されたメモリセル中に保持されたデータを読み出すデータ読出手段とをさらに備える、不揮発性半導体記憶装置。

【請求項 2】 前記バイポーラトランジスタは、前記対応するメモリセルトランジスタのソース領域により、前記半導体基板の主表面を除いて取り囲まれるように形成された第 1 導電型のエミッタ領域と、前記対応するメモリセルトランジスタのソース領域と領域を共有する第 2 導電型のベース領域と、前記対応するメモリセルトランジスタの形成される前記半導体基板の第 1 導電型の主表面と領域を共有するコレクタ領域とを含む、請求項 1 記載の不揮発性半導体装

置。

【請求項 3】 各前記バイポーラトランジスタは、対応する第 1 および第 2 のメモリセルトランジスタごとに設けられ、前記第 1 のセル選択線は、対応する 2 つの前記メモリセルの行ごとに設けられる、請求項 1 記載の不揮発性半導体記憶装置。

【請求項 4】 各前記バイポーラトランジスタのベース領域は、

前記対応する第 1 のメモリセルトランジスタのソース領域および前記対応する第 2 のメモリセルトランジスタのソース領域の双方と領域を共有する、請求項 3 記載の不揮発性半導体記憶装置。

【請求項 5】 前記メモリセル選択手段は、前記不揮発性半導体記憶装置の書込動作において、メモリセルトランジスタの前記電荷蓄積電極に電子を注入し、または電子を引抜く書込手段を含み、前記書込手段は、

外部アドレス信号にตอบสนองして、前記選択されたワード線を第 1 の電位とする行選択手段と、

外部アドレス信号にตอบสนองして、前記選択されたビット線を第 2 の電位とする列選択手段と、

外部アドレス信号にตอบสนองして、前記選択された第 1 のセル選択線を第 3 の電位とするセル選択制御手段とを有する、請求項 4 記載の不揮発性半導体記憶装置。

【請求項 6】 前記行選択手段は、前記外部アドレス信号に応じて選択された複数のワード線電位を、外部から与えられた複数の書込データにそれぞれ応じて同時に前記第 1 の電位に設定し、前記外部アドレスに応じて選択された複数のメモリセルトランジスタに並列にデータ書込を行ない、

前記選択された複数のメモリセルトランジスタに対応する複数の第 1 のセル選択線を介して並列にデータの読み出しを行い、前記書込データの確認動作を行なう書込制御手段をさらに備える、請求項 5 記載の不揮発性半導体記憶装置。

【請求項 7】 前記行選択手段は、書込動作において、非選択状態のワード線には、前記第 1 の電位とは逆極性の第 4 の電位を印加する、請求項 5 記載の不揮発性半導体記憶装置。

【請求項 8】 前記メモリセルトランジスタは、前記半導体基板の主表面に設けられる第 1 導電型のウェル内に形成され、

前記第 1 導電型のウェルは、複数のウェルブロックに分割され、

前記各ウェルブロックに供給されるウェル電位を発生するウェル電位駆動手段と、

前記各ウェルブロックあたり少なくとも 2 以上設けられ、前記ウェル電位発生手段から出力される前記ウェル電位を伝達する複数のウェル電位給電配線とをさらに備える、請求項 4 記載の不揮発性半導体記憶装置。

【請求項 9】 各前記バイポーラトランジスタは、対応するメモリセルトランジスタごとに設けられ、前記第 1 のセル選択線は、対応する行ごとに設けられる、請求項 1 記載の不揮発性半導体記憶装置。

【請求項 10】 各前記バイポーラトランジスタのベース領域は、前記対応するメモリセルトランジスタのソース領域と領域を共有する、請求項 9 記載の不揮発性半導体記憶装置。

【請求項 11】 前記メモリセル選択手段は、前記不揮発性半導体記憶装置の書込動作において、メモリセルトランジスタの前記電荷蓄積電極に電子を注入し、または電子を引抜く書込手段を含み、前記書込手段は、外部アドレス信号にตอบสนองして、前記選択されたワード線を第 1 の電位とする行選択手段と、外部アドレス信号にตอบสนองして、前記選択されたビット線を第 2 の電位とする列選択手段と、外部アドレス信号にตอบสนองして、前記選択された第 1 のセル選択線を第 3 の電位とするセル選択制御手段とを有する、請求項 10 記載の不揮発性半導体記憶装置。

【請求項 12】 前記行選択手段は、前記外部アドレス信号に応じて選択された複数のワード線電位を、外部から与えられた複数の書込データにそれぞれ応じて同時に前記第 1 の電位に設定し、前記外部アドレスに応じて選択された複数のメモリセルトランジスタに並列にデータ書込を行ない、前記選択された複数のメモリセルトランジスタに対応する複数の第 1 のセル選択線を介して並列にデータの読み出しを行い、前記書込データの確認動作を行なう書込制御手段をさらに備える、請求項 11 記載の不揮発性半導体記憶装置。

【請求項 13】 前記行選択手段は、書込動作において、非選択状態のワード線には、前記第 1 の電位とは逆極性の第 4 の電位を印加する、請求項 11 記載の不揮発性半導体記憶装置。

【請求項 14】 前記メモリセルトランジスタは、前記半導体基板の主表面に設けられる第 1 導電型のウェル内に形成され、前記第 1 導電型のウェルは、複数のウェルブロックに分割され、前記各ウェルブロックに供給されるウェル電位を発生するウェル電位駆動手段と、前記各ウェルブロックあたり少なくとも 2 以上設けられ、前記ウェル電位発生手段から出力される前記ウェル電位を伝達する複数のウェル電位給電配線とをさらに備える、請求項 10 記載の不揮発性半導体記憶装置。

【請求項 15】 前記メモリセルの行ごとにそれぞれ設けられる複数の第 2 のセル選択線とをさらに備え、

前記各メモリセルは、前記メモリセルトランジスタを介して前記ビット線と前記バイポーラトランジスタのベース領域との間を流れる電流の導通経路を選択的に開閉するセル選択トランジスタをさらに含み、

各前記バイポーラトランジスタは、対応する第 1 および第 2 のメモリセルトランジスタごとに設けられ、

前記第 1 のセル選択線は、

- 10 対応する 2 つの前記メモリセルの行ごとに設けられ、前記メモリセル選択手段は、読出動作において、選択されたメモリセルに対応する前記第 2 のセル選択線を活性化し、前記選択されたメモリセルの前記セル選択トランジスタを導通状態とする、請求項 1 記載の不揮発性半導体記憶装置。

【請求項 16】 各前記バイポーラトランジスタのベース領域は、前記対応する第 1 のメモリセルトランジスタのソース領域および前記対応する第 2 のメモリセルトランジスタのソース領域の双方と領域を共有し、

- 20 前記セル選択トランジスタは、対応するメモリセルトランジスタのドレインと前記対応するビット線との間に設けられる、請求項 15 記載の不揮発性半導体記憶装置。

【請求項 17】 各前記バイポーラトランジスタのベース領域は、前記対応する第 1 のセル選択トランジスタのソース領域および前記対応する第 2 のセル選択トランジスタのソース領域の双方と領域を共有し、

- 30 前記メモリセルトランジスタは、対応するセル選択トランジスタのドレインと前記対応するビット線との間に設けられる請求項 15 記載の不揮発性半導体記憶装置。

【請求項 18】 前記メモリセル選択手段は、前記不揮発性半導体記憶装置の書込動作において、メモリセルトランジスタの前記電荷蓄積電極に電子を注入し、または電子を引抜く書込手段を含み、前記書込手段は、

外部アドレス信号にตอบสนองして、前記選択されたワード線を第 1 の電位とする行選択手段と、外部アドレス信号にตอบสนองして、前記選択されたビット線を第 2 の電位とする列選択手段と、

- 40 外部アドレス信号にตอบสนองして、前記選択された第 1 のセル選択線を第 3 の電位とし、前記選択されたメモリセルに対応する前記第 2 のセル選択線を活性化するセル選択制御手段とを有する、請求項 16 記載の不揮発性半導体記憶装置。

【請求項 19】 前記行選択手段は、前記外部アドレス信号に応じて選択された複数のワード線電位を、外部から与えられた複数の書込データにそれぞれ応じて同時に前記第 1 の電位に設定し、前記外部アドレスに応じて選択された複数のメモリセルトランジスタ

タに並列にデータ書込を行ない、前記選択された複数のメモリセルトランジスタに対応する複数の第1のセル選択線を介して並列にデータの読み出しを行い、前記書込データの確認動作を行なう書込制御手段をさらに備える、請求項1記載の不揮発性半導体記憶装置。

【請求項20】 前記行選択手段は、書込動作において、非選択状態のワード線には、前記第1の電位とは逆極性の第4の電位を印加する、請求項1記載の不揮発性半導体記憶装置。

【請求項21】 前記メモリセルトランジスタは、前記半導体基板の主表面上に設けられる第1導電型のウェル内に形成され、前記第1導電型のウェルは、複数のウェルブロックに分割され、前記各ウェルブロックに供給されるウェル電位を発生するウェル電位駆動手段と、前記各ウェルブロックあたり少なくとも2以上設けられ、前記ウェル電位発生手段から出力される前記ウェル電位を伝達する複数のウェル電位給電配線とをさらに備える、請求項1記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、不揮発性半導体記憶装置に関し、より特定的には、低電源電圧において、メモリセルにデータの書込および消去を行ない、かつメモリセルからのデータの読出を行なう不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】近年、不揮発性半導体記憶装置の1種であるフラッシュメモリは、ダイナミックランダムアクセスメモリ(DRAM)より安価に製造できるため、次世代を担うメモリデバイスとして期待されている。

【0003】図67は、従来のNOR型フラッシュメモリのメモリセルアレイ5000の構成を示す回路図である。メモリセルアレイ5000は、複数のワード線WL、および複数のビット線BLが配列される。図67においては、ワード線WL1、WL2、WL3、…、およびビット線BL1、BL2、BL3を代表的に示す。ワード線WLとビット線BLとの各交点には、メモリセルQCが設けられる。メモリセルQCは、フローティングゲート型MOSTランジスタで構成される。

【0004】ここで、メモリセルを構成するメモリセルトランジスタの構造について説明する。

【0005】図68は、不揮発性半導体記憶装置のメモリセルトランジスタの構造を説明するための断面模式図である。図68に示すように、メモリセルトランジスタは、p型半導体基板1の主表面上に形成されたn型ソース領域2およびn型ドレイン領域3と、このソース領域2とドレイン領域3とに挟まれたチャネル領域の上方に

トンネル酸化膜4を介在して形成されたフローティングゲート電極5と、このフローティングゲート電極5の上方に絶縁膜6を介在して形成されたコントロールゲート電極7とを有している。各メモリセルトランジスタのソース領域2およびドレイン領域3は、フローティングゲート電極5およびコントロールゲート電極7の側壁に形成されたサイドウォール絶縁膜9をマスクとして、イオン注入により形成される。

【0006】図67および図68を参照して、各メモリセルにおいて、ソース領域2には、ソース線SLが接続されている。ドレイン領域3には、ビット線BLが接続されている。コントロールゲート電極7にはワード線WLが接続されている。

【0007】ソースドレイン間の導電度(チャネルコンダクタンス)は、コントロールゲート電極7に印加される電位に応じて変化する。コントロールゲート電極7の電位を増加させることにより、ソースドレイン間に電流が流れ始めるコントロールゲート電極7の電位をしきい値と呼ぶ。しきい値は、フローティングゲート電極5に電子が蓄積されるにつれて増加する。

【0008】メモリセルトランジスタは、フローティングゲート電極5の帯電状態を変化させることにより、情報を記憶する。なお、フローティングゲート電極5は、外部から絶縁膜により電氣的に遮断されているので、情報が不揮発的に記憶される構成となっている。

【0009】次に、NOR型フラッシュメモリの読出動作、書込動作、および消去動作について簡単に説明する。

【0010】書込動作においては、チャネルホットエレクトロン注入により、フローティングゲート電極に電子を注入する。これにより、メモリセルトランジスタのしきい値 $V_{th}$ が低いしきい値側から高いしきい値側へ変化する。

【0011】消去動作においては、ソースまたはドレインのゲートエッジにおけるFN(ファウラーノルドハイム)トンネル現象により、フローティングゲート電極から電子を引抜く。これにより、しきい値 $V_{th}$ が、高いしきい値側から低いしきい値側へと変化する。

【0012】読出動作においては、選択したビット線BLに1V程度の電圧を印加し、選択したワード線WLに外部電源電圧VCCを与え、選択したワード線WLと、選択したビット線BLとの交点に位置するメモリセルトランジスタのソースドレイン間に電流が流れるか否かによって情報を読出す。

【0013】図69～図70は、NOR型フラッシュメモリのしきい値電圧分布を示す図である。図69に示すように、NOR型フラッシュメモリにおいては、外部電源電圧VCC(5V)よりもしきい値 $V_{th}$ が高い状態を書込状態と称し、外部電源電圧VCC(5V)よりもしきい値 $V_{th}$ が低い状態を消去状態と称す。

【0014】NOR型フラッシュメモリにおいては、1ビットごとに書込を行ない、全ビット一括または所定のブロックごとに含まれるビット一括で同時に消去を行なう。したがって、消去状態のしきい値分布は、書込状態のしきい値電圧分布よりも広がっている。

【0015】ところで、図70に示すように、現行の3.3ボルトの外部電源電圧VCCを使用すると、しきい値電圧V<sub>th</sub>が1.5ボルト以下になる、いわゆる過消去セルが発生する。

【0016】図71は、フラッシュメモリにおける過消去セルの問題を説明するための回路図である。図71に示すように、ビット線BLに接続されるメモリセルQC1のデータを読み出す場合であって、同一のビット線BLに接続されるメモリセルQC2、QC3、QC4、…が過消去セルであったとする。メモリセルQC1のデータを読み出すため、ビット線BLに1V程度の電圧を印加する。さらにメモリセルQC1に接続されるワード線WL1に外部電源電圧VCCを印加する。

【0017】この場合、メモリセルQC2、QC3、QC4、…のそれぞれに接続されているワード線WL2、WL3、WL4、…の電位は、0Vであるにも関わらず、各過消去セルを介してビット線BLにリーク電流i<sub>0</sub>が流れる。この結果、選択状態のメモリセルQC1が書込状態であるため、本来メモリセルQC1を介して電流が流れないにも関わらず、外部からは消去状態と判断されてしまう。したがって、このような過消去セルの存在は、フラッシュメモリの動作上の致命的な欠陥となる。

【0018】次に、ビット線をセクタごとに分割したDINOR (Divided Bit line NOR)型フラッシュメモリについて説明する。

【0019】DINOR型フラッシュメモリの内容については、「不揮発性半導体記憶装置(特願平8-116297)」に開示されている。以下その内容について簡単に説明する。

【0020】図72は、従来のDINOR型フラッシュメモリのメモリアレイ6000の構成を示す回路図である。

【0021】図72に示すように、メモリアレイ6000は、2つのメモリアレイブロックBLK0およびBLK1を含む。図72では、1つのメモリアレイブロックBLK0またはBLK1に対して、各々4つのメモリセルトランジスタMCを代表的に示す。メモリアレイブロックBLK0は、副ビット線SBL1に各々ドレインが接続するメモリセルトランジスタMC1aおよびMC1bと、副ビット線SBL2に各々ドレインが接続するメモリセルトランジスタMC2aおよびMC2bと、主ビット線BL1と副ビット線SBL1との接続を開閉する選択ゲートSG1と、主ビット線BL2と副ビット線SBL2との接続を開閉する選択ゲート

SG2とを含む。

【0022】メモリセルトランジスタMC1aおよびMC2aのコントロールゲート電極は、ともにワード線WL1に接続し、メモリセルトランジスタMC1bおよびMC2bのコントロールゲート電極はワード線WL2に接続している。

【0023】メモリアレイブロックBLK1も、同様に、副ビット線SBL3と各々ドレインが接続するメモリセルトランジスタMC3aおよびMC3bと、副ビット線SBL4と各々ドレインが接続するメモリセルトランジスタMC4aおよびMC4bとを含む。

【0024】メモリアレイブロックBLK1は、さらに、主ビット線BL1と副ビット線SBL3との接続を開閉する選択ゲートSG3と、主ビット線BL2と副ビット線SBL4との接続を開閉する選択ゲートSG4とを含む。

【0025】メモリセルトランジスタMC3aとMC4aのコントロールゲート電極はワード線WL3に接続し、メモリセルトランジスタMC3bとMC4bのコントロールゲート電極は、ワード線WL4に接続している。

【0026】DINOR型フラッシュメモリにおいては、メモリセルへの書込、消去、および読出動作は、対応する選択ゲートSGを開閉することにより対応するメモリアレイブロックを選択した後に行なわれる。なお、メモリセルMCは、フローティングゲート型MOSトランジスタで構成される。

【0027】次に、DINOR型フラッシュメモリの、消去動作、書込動作について説明する。

【0028】図73は、外部電源電圧VCCが3.3Vの場合のDINOR型フラッシュメモリのメモリセルのしきい値電圧分布を示す図である。

【0029】消去動作においては、チャネル全面におけるFNTトンネル現象により、フローティングゲート電極の電子を一括して注入する。これにより、しきい値電圧V<sub>th</sub>が、低いしきい値電圧側から、高いしきい値電圧側へと変化する。

【0030】書込動作においては、ドレインのゲートエッジにおけるFNTトンネル現象により電子を引抜く。すなわち、DINOR型フラッシュメモリにおいては、低いしきい値分布側を、書込状態、高いしきい値分布側を、消去状態とする。

【0031】さらに、DINOR型フラッシュメモリにおいては、1ビットごとに、パル的な電圧を印加して電子を引抜き、さらにしきい値の検証を行なう動作(ベリファイ動作)を繰返し行なうことにより、低いしきい値側の分布を狭帯化している。この結果、低いしきい値側分布の最下限が、1.5V以上になり、3.3Vの外部電源電圧VCCを用いた動作を実現している。

【0032】

【発明が解決しようとする課題】ところで、不揮発性半導体記憶装置においては、さらに低電圧動作、低消費電力動作、および高速読出動作が要求される傾向にある。

【0033】図74は、外部電源電圧VCCが1.8Vの場合のDINOR型フラッシュメモリのメモリセルのしきい値分布を示す図である。

【0034】図74に示すように、外部電源電圧VCCが現行の3.3V以下（たとえば1.8ボルト）になると、低しきい値側の下限が1.5V以下になり、いわゆる過書きセルが発生する。この結果、DINOR型フラッシュメモリの上記技術を持ったとしても、外部電源電圧VCCをそのまま用いた読出動作を実現することは困難になると考えられる。

【0035】この問題を解決するために、低電圧化した外部電源電圧VCCを、読出動作時に現行の電圧レベル（3.3V）程度にまで昇圧し、この昇圧した電圧をワード線に印加する手段が考えられる。

【0036】しかし、この手段を適用すると、昇圧に要する時間で読出動作が遅くなる。また昇圧動作で消費電力が増大してしまう。さらに、3.3Vで動作する回路が増え、1.8Vへの低電圧化による消費電力低減の効果が減少するという問題がある。

【0037】そこで、本発明は、係る問題を解決するためになされたものであり、低電圧動作においても、過書きまたは過書きによる誤動作を回避することが可能な不揮発性半導体記憶装置を提供することである。

【0038】また、本発明の他の目的は、低電圧電源を用いた場合であっても、高速読出動作が可能な不揮発性半導体記憶装置を提供することである。

【0039】さらに、本発明の他の目的は、低電圧動作が可能で、かつ低コストで製造可能な不揮発性半導体記憶装置を提供することである。

【0040】

【課題を解決するための手段】請求項1記載の不揮発性半導体記憶装置は、半導体基板上に形成される不揮発性半導体記憶装置であって、行列状に配置される複数のメモリセルを含むメモリセルアレイと、メモリセルの列にそれぞれ対応して設けられる複数のビット線と、メモリセルの行にそれぞれ対応して設けられる複数のワード線と、メモリセルの行に対応して設けられる複数の第1のセル選択線とを備え、各メモリセルは、メモリセルトランジスタを含み、メモリセルトランジスタは、半導体基板の第1導電型の主表面に形成された第2導電型のソース領域および第2導電型のドレイン領域と、ソース領域とドレイン領域とに挟まれたチャネル領域と、チャネル領域上に酸化膜を介在して形成された電荷蓄積電極と、電荷蓄積電極の上方に絶縁膜を介在して形成された制御電極とを有し、ドレイン領域は、対応するビット線と結合し、制御電極は、対応するワード線により電位が制御され、不揮発性半導体記憶装置の読出動作において、外

部からのアドレス信号に応じて、対応するワード線を選択し、選択されたビット線と選択された第1のセル選択線との間に電位差を与えるメモリセル選択手段と、対応するメモリセルトランジスタのソース領域と対応する第1のセル選択線との間にそれぞれ設けられ、選択されたメモリセルトランジスタのソース領域とドレイン領域との間を流れる電流をベース電流として増幅し、選択された第1のセル選択線を流れる電流量を制御するように結合される、複数のバイポーラトランジスタと、選択された第1のセル選択線を流れる電流値に応じて、選択されたメモリセル中に保持されたデータを読み出すデータ読出手段とをさらに備える。

【0041】請求項2記載の不揮発性半導体記憶装置は、請求項1記載の不揮発性半導体記憶装置の構成において、バイポーラトランジスタは、対応するメモリセルトランジスタのソース領域により、半導体基板の主表面を除いて取り囲まれるように形成された第1導電型のエミッタ領域と、対応するメモリセルトランジスタのソース領域と領域を共有する第2導電型のベース領域と、対応するメモリセルトランジスタの形成される半導体基板の第1導電型の主表面と領域を共有するコレクタ領域とを含む。

【0042】請求項3記載の不揮発性半導体記憶装置は、請求項1記載の不揮発性半導体記憶装置の構成において、各バイポーラトランジスタは、対応する第1および第2のメモリセルトランジスタごとに設けられ、第1のセル選択線は、対応する2つのメモリセルの行ごとに設けられる。

【0043】請求項4記載の不揮発性半導体記憶装置は、請求項3記載の不揮発性半導体記憶装置の構成において、各バイポーラトランジスタのベース領域は、対応する第1のメモリセルトランジスタのソース領域および対応する第2のメモリセルトランジスタのソース領域の双方と領域を共有する。

【0044】請求項5記載の不揮発性半導体記憶装置は、請求項4記載の不揮発性半導体記憶装置の構成において、メモリセル選択手段は、不揮発性半導体記憶装置の書き込動作において、メモリセルトランジスタの電荷蓄積電極に電子を注入し、または電子を引抜く書き込手段を含み、書き込手段は、外部アドレス信号にตอบสนองして、選択されたワード線を第1の電位とする行選択手段と、外部アドレス信号にตอบสนองして、選択されたビット線を第2の電位とする列選択手段と、外部アドレス信号にตอบสนองして、選択された第1のセル選択線を第3の電位とするセル選択制御手段とを有する。

【0045】請求項6記載の不揮発性半導体記憶装置は、請求項5記載の不揮発性半導体記憶装置の構成において、行選択手段は、外部アドレス信号に応じて選択された複数のワード線電位を、外部から与えられた複数の書き込データにそれぞれ応じて同時に第1の電位に設定



し、外部アドレスに応じて選択された複数のメモリセルトランジスタに並列にデータ書込を行ない、選択された複数のメモリセルトランジスタに対応する複数の第1のセル選択線を介して並列にデータの読み出しを行い、書込データの確認動作を行なう書込制御手段をさらに備える。

【0046】請求項7記載の不揮発性半導体記憶装置は、請求項5記載の不揮発性半導体記憶装置の構成において、行選択手段は、書込動作において、非選択状態のワード線には、第1の電位とは逆極性の第4の電位を印

加する。  
【0047】請求項8記載の不揮発性半導体記憶装置は、請求項4記載の不揮発性半導体記憶装置の構成において、メモリセルトランジスタは、半導体基板の主表面に設けられる第1導電型のウェル内に形成され、第1導電型のウェルは、複数のウェルブロックに分割され、各ウェルブロックに供給されるウェル電位を発生するウェル電位駆動手段と、各ウェルブロックあたり少なくとも2以上設けられ、ウェル電位発生手段から出力されるウェル電位を伝達する複数のウェル電位給電配線とをさら

に備える。  
【0048】請求項9記載の不揮発性半導体記憶装置は、請求項1記載の不揮発性半導体記憶装置の構成において、各バイポーラトランジスタは、対応するメモリセルトランジスタごとに設けられ、第1のセル選択線は、対応する行ごとに設けられる。

【0049】請求項10記載の不揮発性半導体記憶装置は、請求項9記載の不揮発性半導体記憶装置の構成において、各バイポーラトランジスタのベース領域は、対応するメモリセルトランジスタのソース領域と領域を共有

する。  
【0050】請求項11記載の不揮発性半導体記憶装置は、請求項10記載の不揮発性半導体記憶装置の構成において、メモリセル選択手段は、不揮発性半導体記憶装置の書込動作において、メモリセルトランジスタの電荷蓄積電極に電子を注入し、または電子を引抜く書込手段を含み、書込手段は、外部アドレス信号にตอบสนองして、選択されたワード線を第1の電位とする行選択手段と、外部アドレス信号にตอบสนองして、選択されたビット線を第2の電位とする列選択手段と、外部アドレス信号にตอบสนองして、選択された第1のセル選択線を第3の電位とするセル選択制御手段とを有する。

【0051】請求項12記載の不揮発性半導体記憶装置は、請求項11記載の不揮発性半導体記憶装置の構成において、行選択手段は、外部アドレス信号に応じて選択された複数のワード線電位を、外部から与えられた複数の書込データにそれぞれ応じて同時に第1の電位に設定し、外部アドレスに応じて選択された複数のメモリセルトランジスタに並列にデータ書込を行ない、選択された複数のメモリセルトランジスタに対応する複数の第1の

セル選択線を介して並列にデータの読み出しを行い、書込データの確認動作を行なう書込制御手段をさらに備える。

【0052】請求項13記載の不揮発性半導体記憶装置は、請求項11記載の不揮発性半導体記憶装置の構成において、行選択手段は、書込動作において、非選択状態のワード線には、第1の電位とは逆極性の第4の電位を印加する。

【0053】請求項14記載の不揮発性半導体記憶装置は、請求項10記載の不揮発性半導体記憶装置の構成において、メモリセルトランジスタは、半導体基板の主表面に設けられる第1導電型のウェル内に形成され、第1導電型のウェルは、複数のウェルブロックに分割され、各ウェルブロックに供給されるウェル電位を発生するウェル電位駆動手段と、各ウェルブロックあたり少なくとも2以上設けられ、ウェル電位発生手段から出力されるウェル電位を伝達する複数のウェル電位給電配線とをさらに備える。

【0054】請求項15記載の不揮発性半導体記憶装置は、請求項1記載の不揮発性半導体記憶装置の構成に加えて、メモリセルの行ごとにそれぞれ設けられる複数の第2のセル選択線とをさらに備え、各メモリセルは、メモリセルトランジスタを介してビット線とバイポーラトランジスタのベース領域との間を流れる電流の導通経路を選択的に開閉するセル選択トランジスタをさらに含み、各バイポーラトランジスタは、対応する第1および第2のメモリセルトランジスタごとに設けられ、第1のセル選択線は、対応する2つのメモリセルの行ごとに設けられ、メモリセル選択手段は、読出動作において、選択されたメモリセルに対応する第2のセル選択線を活性化し、選択されたメモリセルのセル選択トランジスタを導通状態とする。

【0055】請求項16記載の不揮発性半導体記憶装置は、請求項15記載の不揮発性半導体記憶装置の構成において、各バイポーラトランジスタのベース領域は、対応する第1のメモリセルトランジスタのソース領域および対応する第2のメモリセルトランジスタのソース領域の双方と領域を共有し、セル選択トランジスタは、対応するメモリセルトランジスタのドレインと対応するビット線との間に設けられる。

【0056】請求項17記載の不揮発性半導体記憶装置は、請求項15記載の不揮発性半導体記憶装置の構成において、各バイポーラトランジスタのベース領域は、対応する第1のセル選択トランジスタのソース領域および対応する第2のセル選択トランジスタのソース領域の双方と領域を共有し、メモリセルトランジスタは、対応するセル選択トランジスタのドレインと対応するビット線との間に設けられる。

【0057】請求項18記載の不揮発性半導体記憶装置は、請求項16記載の不揮発性半導体記憶装置の構成に

において、メモリセル選択手段は、不揮発性半導体記憶装置の書込動作において、メモリセルトランジスタの電荷蓄積電極に電子を注入し、または電子を引抜く書込手段を含み、書込手段は、外部アドレス信号にตอบสนองして、選択されたワード線を第1の電位とする行選択手段と、外部アドレス信号にตอบสนองして、選択されたビット線を第2の電位とする列選択手段と、外部アドレス信号にตอบสนองして、選択された第1のセル選択線を第3の電位とし、選択されたメモリセルに対応する第2のセル選択線を活性化するセル選択制御手段とを有する。

【0058】請求項19記載の不揮発性半導体記憶装置は、請求項18記載の不揮発性半導体記憶装置の構成において、行選択手段は、外部アドレス信号に応じて選択された複数のワード線電位を、外部から与えられた複数の書込データにそれぞれ応じて同時に第1の電位に設定し、外部アドレスに応じて選択された複数のメモリセルトランジスタに並列にデータ書込を行ない、選択された複数のメモリセルトランジスタに対応する複数の第1のセル選択線を介して並列にデータの読み出しを行い、書込データの確認動作を行なう書込制御手段をさらに備える。

【0059】請求項20記載の不揮発性半導体記憶装置は、請求項16記載の不揮発性半導体記憶装置の構成において、行選択手段は、書込動作において、非選択状態のワード線には、第1の電位とは逆極性の第4の電位を印加する。

【0060】請求項21記載の不揮発性半導体記憶装置は、請求項16記載の不揮発性半導体記憶装置の構成において、メモリセルトランジスタは、半導体基板の主表面に設けられる第1導電型のウェル内に形成され、第1導電型のウェルは、複数のウェルブロックに分割され、各ウェルブロックに供給されるウェル電位を発生するウェル電位駆動手段と、各ウェルブロックあたり少なくとも2以上設けられ、ウェル電位発生手段から出力されるウェル電位を伝達する複数のウェル電位給電配線とをさらに備える。

【0061】

【発明の実施の形態】

【実施の形態1】図1は、本発明の実施の形態1の不揮発性半導体記憶装置1000の構成を示す概略ブロック図である。

【0062】図1を参照して、不揮発性半導体記憶装置1000は、外部からのアドレス信号A0～Aiを受けて、対応する内部行アドレス信号Axと、対応する内部列アドレス信号Ayとを出力するアドレスバッファ102と、メモリセルが行列状に配置されるメモリセルアレイ104と、アドレスバッファ102からの内部行アドレス信号Axを受けて、対応するメモリセルアレイ104の行（ワード線）を選択するWLデコーダ106と、内部行アドレス信号Axを受けて、メモリセルアレイ1

104の2行ごとに設けられるセル選択線を選択するメモリセルSLデコーダ108と、アドレスバッファ102からの内部列アドレス信号Ayを受けて、メモリセルアレイ104の対応する列を選択するYデコーダ110を含む。

【0063】ここで、図1に示した不揮発性半導体記憶装置1000においては、説明の簡単のために、メモリセルアレイ104は、4行×2列のメモリセルを有するものとする。実際には、不揮発性半導体記憶装置1000は、より多くのメモリセルをそのメモリセルアレイ104中に含む。

【0064】メモリセルアレイ104は、ワード線WL1により選択されるメモリセルトランジスタMT1aおよびMT2aと、ワード線WL2により選択されるメモリセルトランジスタMT1bおよびMT2bと、ワード線WL3により選択されるメモリセルトランジスタMT3aおよびMT4aと、ワード線WL4により選択されるメモリセルトランジスタMT3bおよびMT4bとを含む。

【0065】メモリセルトランジスタMT1a～MT4bの各々は、不揮発性半導体記憶装置1000が形成される半導体基板の主表面上に形成されたソース領域およびドレイン領域と、上記ソース領域とドレイン領域とに挟まれたチャネル領域と、上記チャネル領域上にトンネル酸化膜を介在させて形成されたフローティングゲートと、フローティングゲートの上方に、絶縁膜を介在して形成された制御ゲートとを有する、いわゆるフローティングゲートトランジスタである。

【0066】すなわち、メモリセルトランジスタMT1a～MT4bの各々の制御ゲートは、対応するワード線に接続されている。

【0067】実施の形態1では、メモリセルトランジスタMT1a～MT4bを含むメモリセルをそれぞれメモリセルMC1a～MC4bと呼ぶことにする。

【0068】メモリセルトランジスタMT1a、MT1b、MT3aおよびMT3bのドレインは、それぞれビット線BL1に接続され、メモリセルトランジスタMT2a、MT2b、MT4aおよびMT4bのドレインは、それぞれビット線BL2と接続されている。

【0069】メモリセルアレイ104においては、メモリセルトランジスタMT1aのソースと、MT1bのソースとが互いに接続され、この両者の接続点と、ベースが接続し、エミッタが対応するセル選択線SL1と接続し、コレクタに接地電位を受けるバイポーラトランジスタBT1が設けられる。

【0070】同様にして、メモリセルトランジスタMT2aのソースと、MT2bのソースとの接続点に対応して、バイポーラトランジスタBT2が設けられ、メモリセルトランジスタMT3aのソースと、MT3bのソースの接続点に対応して、バイポーラトランジスタBT3

10

20

30

40

50

が設けられ、メモリセルトランジスタMT4aのソースと、MT4bのソースの接続点に対応して、バイポーラトランジスタBT4が設けられている。

【0071】バイポーラトランジスタBT2のエミッタは、セル選択線SL1と接続し、バイポーラトランジスタBT3およびBT4のエミッタは、セル選択線SL2と接続している。

【0072】バイポーラトランジスタBT2～BT4のコレクタも、バイポーラトランジスタBT1と同様に、接地電位を受ける。

【0073】したがって、バイポーラトランジスタBT1～BT4は、対応するメモリセルトランジスタの2つごとに、1つずつ設けられる構成となっている。

【0074】WLデコーダ106は、アドレスバッファ102が与えられる内部行アドレス信号Axに応じて、対応するワード線WL1～WL4のいずれかを選択する。

【0075】また、メモリセルSLデコーダ132は、内部行アドレス信号Axに応じて、対応するセル選択線SL1またはSL2のいずれかを選択する。

【0076】不揮発性半導体記憶装置1000は、さらに、外部電源電圧Vccを受けて、メモリセルへのデータの書込あるいは消去動作に必要な高電圧を発生する高電圧発生回路110と、外部電源電圧Vccを受けて、メモリセルアレイの書込動作、消去動作あるいは読出動作において必要な負電圧を発生する負電圧発生回路112と、高電圧発生回路110の出力または外部電源電圧Vccを受けて、メモリセルトランジスタの形成する半導体基板表面のウェル電位を制御するウェル電位駆動回路120を含む。

【0077】WLデコーダ106は、高電圧発生回路110および負電圧発生回路112の出力を受けて、消去動作においては、選択されたワード線に所定の負電圧を、書込動作においては、選択されたワード線に高電圧を供給する。

【0078】メモリセルSLデコーダ132は、高電圧発生回路110の出力および接地電位を受けて、書込動作において、選択されたセル選択線SLに対して、所定の高電位または接地電位を供給する。

【0079】また、メモリセルSLデコーダ132は、後に接続するように、メモリセルのデータの消去動作においては、高電圧発生回路110からの出力を受けて、選択されたセル選択線に対して高電圧を印加する場合もある。不揮発性半導体記憶装置1000は、さらに、メモリセルへの書込動作および消去動作を制御する書込／消去制御回路122と、外部からのデータを受けて内部回路に、あるいはメモリセルから読出されたデータを受けて外部に出力するデータ入出力バッファ124と、データ入出力バッファ124に入力された書込データを受けて、対応するワード線電位を駆動するデータドライバ

126と、データ読出時において、セル選択線SL1またはSL2を介して、選択されたメモリセルの記憶情報に応じて、対応する読出データを出力するセンスアンプ128を含む。

【0080】データドライバ126は、WLデコーダ106に対して、各メモリセルトランジスタに書込むべきデータに応じた所定の電位レベルを出力させる。

【0081】ビット線BL1およびBL2は、それぞれ列選択ゲートSLG1およびSLG2を介して、負電圧発生回路112からの出力を受け、選択ゲートSLG1およびSLG2のゲート電位は、Yデコーダ108により制御される。

【0082】したがって、アドレスバッファ102からの内部列アドレス信号Ayに応じて、選択されたビット線には負電圧発生回路112からの所定の負電圧が印加される。

【0083】なお、図1および以下の説明では、メモリセルトランジスタは、Pチャネル型トランジスタであるものとするが、以下の説明で明らかとなるように、本願にかかる発明はこのような場合に限定されることなく、印加電圧の極性の変更等により、メモリセルトランジスタがNチャネル型トランジスタである場合にも適用することが可能である。

【0084】図2は、図1に示したメモリセルトランジスタの断面構造を示す概略ブロック図である。

【0085】図2においては、図1に示したメモリセルトランジスタのうち、ビット線BL1に接続するメモリセルトランジスタMC1aおよびMC1bと、バイポーラトランジスタBT1の断面構造を示している。

【0086】図2においては、メモリセルトランジスタMC1aが非選択状態であり、メモリセルトランジスタMC1bが選択状態であるものとする。

【0087】メモリセルトランジスタMC1aは、半導体基板の主表面のN型ウェル内に形成され、高濃度のP型不純物がドーピングされたドレイン領域150と、ドレイン領域150に比べて、より低濃度のP型不純物がドーピングされたソース領域154と、ドレイン領域150とソース領域154との間に挟まれたチャンネル領域152と、チャンネル領域152上に、トンネル酸化膜（たとえば、10nmの厚さのSiO<sub>2</sub>膜）を介在させて形成されたフローティングゲート156と、フローティングゲート上に、絶縁膜（たとえば、シリコン酸化膜／シリコン窒化膜／シリコン酸化膜の積層膜（以下、ON<sub>2</sub>膜と呼ぶ））を介在させて形成されたコントロールゲート158を含む。

【0088】メモリセルトランジスタMC1bについても、ソース領域が、メモリセルトランジスタMC1aと共通の領域を共有し、メモリセルトランジスタMC1aとソース領域について鏡像対称の配置となっている点を除いて、同様の構成を有する。

【0089】ソース領域154の表面側に、このソース領域154に半導体基板の主表面を除いて完全に取囲まれるように、高濃度のN型不純物がドーピングされたエミッタ領域160が形成されている。

【0090】ドレイン領域150には、ビット線BL1が接続し、エミッタ領域162は、セル選択線SL1が接続している。

【0091】メモリセルトランジスタMC1aおよびMC1bのソース領域154は、バイポーラトランジスタのベース領域としても機能する。

【0092】すなわち、N型領域160をエミッタとし、P型領域154をベース領域とし、N型ウェルをコレクタ領域として、バイポーラトランジスタが形成されている。

【0093】非選択状態にあるメモリセルトランジスタMT1aでは、ビット線BL1は電位0Vに保持され、コントロールゲートの電位も0Vに保持されている。

【0094】これに対して、選択状態にあるメモリセルトランジスタMT1bにおいては、ビット線BL1の電位レベルは0Vであって、コントロールゲートCGの電位レベルは-1.8Vとされ、セル選択線SL1の電位レベルは-1.8Vとされている。

【0095】一方で、N型ウェルの電位レベルは0Vに保持されている。なお、図2においては、選択状態にあるセル選択線SL1の電位レベルと、コントロールゲートCGの電位レベルとが同一である場合を図示しているが、以下の説明で明らかとなるように、本願発明はこのような場合に限定されない。

【0096】すなわち、選択状態にあるコントロールゲートの電位レベルは、書込動作が行なわれて、シフトしたメモリセルトランジスタMT1bのしきい値電圧に応じて、これ以外の値とすることも可能である。

【0097】図3は、図2に示した構成のうち、N型エミッタ領域160およびP型ベース領域154ならびにN型ウェル領域（コレクタ領域）により構成されるNPNトランジスタ部を流れる電流を説明するための概念図である。

【0098】図3に示した例においては、メモリセルトランジスタMT1bのコントロールゲートの電位レベルが-1.8Vとなることで、このメモリセルトランジスタのソースドレイン間に電流が流れる状態となっているものとする。

【0099】したがって、メモリセルトランジスタMT1bのソース領域（すなわち、バイポーラトランジスタのベース領域）は、ビット線BL1が0Vの電位レベルとなっていることに応じて、-1.8Vの電位レベルに保持されているセル選択線SL1と接続するエミッタ領域160に比べて、正側の電位、たとえば、-1Vの電位にバイアスされることになる。

【0100】したがって、NPNトランジスタのエミッ

タ領域160とベース領域154が順方向にバイアスされる。

【0101】これに応じて、選択されたメモリセルトランジスタMT1bのドレイン領域150からチャンネル領域を介して、チャンネル電流が流れ、これがバイポーラトランジスタのベース電流としてソース領域154（すなわち、P型ベース領域）に流れ込む。これに応じて、エミッタ領域160から、コレクタ領域のNウェル領域に向かって、読出電流I<sub>read</sub>（コレクタ電流）が流れることになる。

【0102】ここで、バイポーラトランジスタのエミッタ接地状態での電流増幅率に応じて、選択されたメモリセルトランジスタを流れるチャンネル電流が増幅された電流値が読出電流I<sub>read</sub>としてセル選択線SL1を流れることになる。

【0103】これに対して、非選択なメモリセルトランジスタMT1aにおいては、コントロールゲート158の電位レベルが0Vに保持されているので、このトランジスタのチャンネルを流れる電流はほとんど無視することができる。

【0104】なお、以上の説明ではバイポーラトランジスタがNPN型トランジスタである場合について説明した。しかし、本願発明はこのような場合に限定されることがなく、以下の説明でも明らかとなるように、メモリセルトランジスタをNチャンネル型として、バイポーラトランジスタは、N型ソース領域中に形成されたP型領域をエミッタとして、N型ソース領域をベースとして、メモリセルトランジスタが形成されるP型ウェル領域をコレクタとして有するPNP型トランジスタを含む構成とすることも可能である。

【0105】図4は、図1に示したメモリセルトランジスタの平面パターンを示す模式図である。

【0106】コントロールゲート158を挟んで、ドレイン領域およびソース領域が設けられ、このドレイン領域の中央からソース領域の中央までが、ビット線BL方向の単位セルの長さとなる。

【0107】ドレイン領域にはビット線BL1とドレイン領域との電氣的な接続をとるためのビット線コンタクト190が設けられ、ソース領域には、ソース領域内部に設けられたエミッタ領域160に対してコンタクトをとるためのセル選択線コンタクト192とが設けられている。

【0108】図5は、図1に示したメモリセルアレイの構成をより詳細に示す回路図である。

【0109】図5においては、メモリセルトランジスタMC2bが選択状態とされているものとする。

【0110】つまり、メモリセルトランジスタMC2bのドレインが接続するビット線BL1の電位レベルは0Vに保持され、その他のビット線の電位レベルは-1.8Vに保持されているものとする。

10

20

30

40

50

【0111】さらに、メモリセルトランジスタMC2bの接続するワード線WL2の電位レベルは-1.8Vに保持され、その他のワード線の電位レベルは、0Vに保持されているものとする。

【0112】また、メモリセルトランジスタMC2bとMC2aに対応して設けられるバイポーラトランジスタBT2のエミッタが接続するセル選択線SL1の電位レベルは-1.8Vに保持され、その他のセル選択線の電位レベルは0Vに保持されているものとする。

【0113】図6は、図5に示した読出時に選択されているメモリセルMC2bおよび非選択状態となっているメモリセルトランジスタMC1b、MC4a、MC3aのそれぞれについて、メモリセルトランジスタに印加される電位レベルを示す模式図である。

【0114】図6を参照して、まず選択状態にあるメモリセルトランジスタMC2bにおいては、図3において説明したとおり、セル選択線の電位レベルは-1.8Vに、コントロールゲートの電位レベルは-1.8Vとされ、ビット線の電位レベルは0Vに保持されている。一方、N型ウェルの電位レベルは0Vである。

【0115】このため、コントロールゲートの電位レベルが-1.8Vとなっていることにより、メモリセルトランジスタMC2bが導通状態となっている場合は、セル選択線から、メモリセルトランジスタMC2bのソース領域に形成されているバイポーラトランジスタに向かって、エミッタ電流が、読出電流Ireadとして流れ込むことになる。

【0116】これに対して、非選択状態にあるメモリセルトランジスタMC4aにおいては、セル選択線の電位レベルは0Vであり、ビット線の電位レベルは0Vであり、コントロールゲートの電位レベルも0Vである。メモリセルトランジスタMC4aがこのワード線の電位レベル（すなわちコントロールゲートCGの電位レベル）で導通状態となっているか否かにかかわらずベースエミッタ接合が順方向バイアスされないため、セル選択線SLには電流が流れない。

【0117】すなわち、メモリセルトランジスタMC4aに保持されているデータの値に関わりなく、メモリセルトランジスタMC4aと接続するセル選択線SL2には電流が流れないことになる。

【0118】非選択状態にあるメモリセルトランジスタMC1bにおいては、ビット線の電位は-1.8Vに、コントロールゲートの電位は-1.8Vに、セル選択線の電位レベルは-1.8Vに、N型ウェルの電位レベルは0Vに保持されることになる。

【0119】この場合、仮にメモリセルトランジスタMC1bが、そのコントロールゲートの電位レベルが-1.8Vとなることで、導通状態となっている場合でも、ビット線の電位レベルが-1.8Vに保持されているため、バイポーラトランジスタのエミッタ領域とベ-

ス領域との間には順方向バイアスが生じない。

【0120】このため、非選択状態のメモリセルトランジスタMC1bに接続するセル選択線SL1には、このメモリセルトランジスタMC1bに起因する電流は流れないことになる。

【0121】さらに、非選択状態にあるメモリセルトランジスタMC3aにおいては、ビット線の電位レベルは-1.8Vに、コントロールゲートの電位レベルは0Vに、セル選択線の電位レベルは0Vに、N型ウェルの電位レベルは0Vに保持されていることになる。

【0122】この場合も、非選択状態にあるメモリセルトランジスタMC3aが導通状態となっている場合であっても、ビット線の電位レベルが-1.8Vであって、エミッタに電位レベルを供給するセル選択線の電位レベルが0Vであるため、バイポーラトランジスタのエミッタベース接合は逆バイアスされることとなり、セル選択線からバイポーラトランジスタに向かうエミッタ電流は生じない。

【0123】したがって、この場合も非選択状態にあるメモリセルトランジスタMC3aに起因する電流は、セル選択線SL2には流れないことになる。

【0124】以上説明したとおり、図5に示したような電位レベルをビット線BLに、セル選択線SL1、ワード線WL2にそれぞれ与えることで、ビット線BL2とワード線WL2の交点に接続されたメモリセルトランジスタMC2bに保持されるデータに応じて、セル選択線SL1にバイポーラトランジスタによって増幅された電流が流れることになる。

【0125】しかも、選択状態にあるメモリセルトランジスタのまわりに存在する非選択状態のメモリセルトランジスタに起因しては、セル選択線SL1またはSL2には電流は生じない。

【0126】したがって、セル選択線SL1に流れる電流値をセンスアンプ128が検出することで、選択されたメモリセル中の情報を読出すことが可能となる。

【0127】[書込動作] 図7は、図1に示したメモリセルアレイ中のメモリセルトランジスタMC2bおよびMC4bに対して、データの書込動作を行なう際のビット線、ワード線およびセル選択線の電位レベルを説明するための概念図である。

【0128】以下の説明で明らかとなるように、同一のビット線に接続しているメモリセルトランジスタに対しては、それらが各々接続するワード線の電位レベルを変化させることで、同時にデータの書込動作を行なうことが可能である。

【0129】すなわち、メモリセルトランジスタMC2bのドレインおよびメモリセルトランジスタMC4bのドレインが共通に接続するビット線BL2の電位レベルは-6Vに保持される。セル選択線の電位レベルは、すべて0Vに保持される。

10

20

30

40

50

【0130】一方、データ書込を行なうメモリセルトランジスタMC2bの接続するワード線WL2の電位レベルと、データの書込が行なわれるメモリセルトランジスタMC4bのゲートが接続するワード線WL3の電位レベルは、それぞれ10Vに保持される。

【0131】その他のワード線の電位レベルは、いずれも0Vに保持されるものとする。図8は、図7に示した書込動作におけるビット線、ワード線およびセル選択線の電位レベルを、選択されたメモリセルと非選択状態のメモリセルとで比較して示す図である。

【0132】選択されたメモリセルにおいては、ビット線の電位レベルは-6Vに、ワード線の電位レベルは10Vに、セル選択線の電位レベルは0Vに保持されている。

【0133】これに対して、非選択状態にあるメモリセルに接続するビット線、ワード線およびセル選択線の電位レベルは、いずれも0Vに保持されている。

【0134】このような電位配置とすることで、選択状態にあるメモリセルトランジスタMC2bおよびMC4bにおいては、フローティングゲートとチャネル領域との間に存在するトンネル酸化膜を介して、ドレイン領域150の近傍においてバンド間トンネル電流に発生する電子が、フローティングゲート156に注入されることで、データの書込が行なわれることになる。

【0135】この場合、ドレイン領域150の近傍においてバンド間トンネル電流により発生する電子正孔対のうち、正孔はドレイン領域150へと引っ張られ、さらに、ドレイン領域150においては、正孔の濃度が高いために、正孔-正孔散乱を起こすことで正孔はエネルギーを失い、高エネルギーを有するホットホールとなることがない。

【0136】また、仮にホットホールが存在した場合においても、ワード線の電位レベルが10Vであって、フローティングゲート156は正電位となっているため、ホットホールが注入されることはあり得ない。

【0137】したがって、トンネル酸化膜へのホットホール注入を起こすことがなく、トンネル酸化膜へのホットホール注入による劣化を防ぐことが可能となる。

【0138】図7および図8において説明した書込動作においては、データの書込を行なわない非選択状態のワード線の電位レベル、すなわち、メモリセルトランジスタのコントロールゲートの電位レベルは0Vに保持されていた。

【0139】しかしながら、書込動作時に、選択ビットと共通のビット線とドレインが接続する非選択ビットの記憶内容がドレイン電界により変わってしまう不良、いわゆるドレインディスタース不良を防止するためには、非選択状態にあるコントロールゲートの電位レベルはゲートドレイン間の電界を緩和するような電位となることが望ましい。

【0140】すなわち、図7および図8において説明したような例では、選択されたビットに接続するビット線の電位レベルが-6Vとなっていることに対応して、たとえば非選択状態のコントロールゲートの電位レベルは-3V等の負電位を印加していることが望ましい。

【0141】従来の1トランジスタ型フラッシュメモリセルのコントロールゲートに、ドレインディスタースのマージンを拡大するために、このような書込非選択のワード線に、負電圧の印加を行なうと、メモリセルのソース線は、共通接続されているために、全メモリセルのチャネルがオフ状態となるように、ソース線全体が負電位に低下してしまう。

【0142】ソース配線の電位レベルが負電位に低下してしまうと、以下に述べるような問題が生じる。

【0143】すなわち、書込動作時において、選択されたビットと共通のゲート配線（ワード線）に接続した非選択ビットの記憶内容がゲート電界により変わってしまう不良、いわゆるゲートディスタース不良に対する耐性が著しく劣化してしまう。

【0144】これに対して、図1および図2で説明したようなメモリセルトランジスタのソースが、バイポーラトランジスタのベースと接続し、バイポーラトランジスタのエミッタの電位レベルが、各セルごとに独立にセル選択線により制御される構成では、上記のような問題点が生じない。

【0145】したがって、書込動作状態において、非選択状態にあるメモリセルトランジスタのコントロールゲート（ワード線）に負電圧を印加することで、ドレインディスタース不良の発生をより防止することが可能となる。

【0146】[消去動作] 図10は、図2において説明したメモリセルに対して、消去動作を行なう際のビット線BL、ワード線WL、セル選択線SLおよびウェル電位の電位分布の一例を示す図である。

【0147】すなわち、図10に示した例では、ビット線BL、つまりメモリセルトランジスタのドレイン領域には電位0Vが印加され、ワード線WLつまり、メモリセルトランジスタのコントロールゲートには-18Vが印加され、セル選択線、すなわちメモリセルトランジスタのソース領域内にエミッタ領域を有するバイポーラトランジスタのエミッタ電位は0Vに、ウェル電位は0Vにそれぞれ保持される。このようにすることで、図2に示したチャネル領域152に、正孔のチャネル層が形成される。

【0148】このチャネル層とフローティングゲート電極156との間のトンネル酸化膜に強電界が印加され、FNトンネル現象により、フローティングゲート電極156からチャネル層へ電子が引抜かれる。

【0149】このような消去動作により、メモリセルは、“High Vth”状態（Vthが高い状態：た

だし、Pチャネル型トランジスタのため、負の符号で絶対値が大となる。)となる。

【0150】図10に示したような電位配置は、図1に示したメモリセルアレイ104において、消去ブロックごとにウェルを分割せず、ウェル電位が共通となっている場合には有効な電位配置である。

【0151】図11は、図2において説明したメモリセルの消去動作の場合のビット線BL、ワード線WL、セル選択線SLおよびウェル電位の他の電位配置の例を示す図である。

【0152】すなわち、図11に示した消去動作においては、ワード線WL、すなわちコントロールゲート156に-12Vを印加し、セル選択線SL、すなわちメモリセルトランジスタのソース領域中にエミッタ領域を有するバイポーラトランジスタのエミッタ電位を6Vとし、ウェル電位を6Vとし、ビット線、すなわちメモリセルトランジスタのドレイン領域は開放状態とする。

【0153】以上のような電位配置とすることでも、図10において説明したのと同様に、図2のチャネル領域152に正孔のチャネル層が形成される。さらに、このチャネル層とフローティングゲート156との間に強電界が印加されるため、FNトンネル現象により、フローティングゲート16からチャネル層へ電子が引抜かれる。

【0154】つまり、図10の場合と同様にして、メモリセルは“High Vth”状態となる。

【0155】図11に示した電位配置においては、ウェル電位を6Vという高電位とするため、このような電位配置は、図1に示したメモリセルアレイにおいて、消去ブロックごとにウェルを分割し、この分割されたウェルごとに、図1に示したウェル電位駆動回路120がそれぞれ独立にウェル電位を駆動できる構成となっている場合に有利な電位配置である。

【0156】[スタンバイ状態] 次に、図2において説明したメモリセルのスタンバイ状態における電位配置について説明する。

【0157】図12～図14は、それぞれ図2に示したメモリセルのスタンバイ状態において可能な電位配置の例を示す図である。

【0158】まず、図12を参照して、スタンバイ状態の電位配置の第1の例としては、ビット線の電位レベルをたとえば、-1.8Vとし、コントロールゲートの電位レベルは0Vとする。セル選択線の電位レベルは0Vとし、Nウェルの電位レベルも0Vとする。

【0159】このような電位レベルの配置とすることでも、メモリセルトランジスタが仮に導通状態となっている場合でも、メモリセルトランジスタのソース領域にエミッタ領域を有するバイポーラトランジスタのエミッタベース間のバイアスが逆方向バイアスとなっているため、スタンバイ状態においてセル選択線に電流が流れる

ということはない。

【0160】図13は、スタンバイ状態における電位配置の他の例を示す図である。図13に示した例においては、ビット線の電位レベルは0Vに、コントロールゲートの電位レベルは0Vにそれぞれ保持される。セル選択線の電位レベルも0Vに、Nウェルの電位レベルも0Vに保持される。

【0161】このように、ビット線Nウェルおよびセル選択線がすべて0Vに保持されているので、このようなバイアス条件でも、メモリセルトランジスタのソース領域にエミッタ領域を有するバイポーラトランジスタに電流が流れることはない。

【0162】したがって、スタンバイ状態においてセル選択線SLに余分な電流が流れることはない。

【0163】図14は、図2に示したメモリセルのスタンバイ状態における電位配置の他の例を示す図である。

【0164】図14に示した例においては、スタンバイ状態において、ビット線の電位レベルは-1.8Vに、コントロールゲートの電位レベルは0Vに保持されている。セル選択線の電位レベルは-1.8Vに、Nウェルの電位レベルは0Vに保持されている。

【0165】したがって、コントロールゲートの電位レベルが0Vにされている場合に、このメモリセルトランジスタが仮に導通状態となっている場合でも、メモリセルトランジスタのソース領域中にエミッタ領域を有するバイポーラトランジスタのエミッタベース間が順バイアスされることがないため、スタンバイ状態においてセル選択線に電流が流れ消費電流が増大することはない。

【0166】以上の説明においては、スタンバイ状態においてワード線の電位レベル、すなわちメモリセルトランジスタのコントロールゲートの電位レベルは0Vに保持されるものとした。

【0167】しかしながら、図2に示したメモリセルにおいては、ワード線、すなわちコントロールゲートの電位レベルを所定の電位レベルとした場合に、メモリセルトランジスタのドレインソース間に電流が流れるのは、バイポーラトランジスタがオン状態になったときのみである。

【0168】言い換えると、ワード線WLの電位レベルは任意の電圧であった場合でも、バイポーラトランジスタがオン状態にならないように、セル選択線およびビット線の電位レベルが設定されている場合には、スタンバイ状態においてメモリセルに電流が流れるということはない。

【0169】したがって、以下に述べるような電位配置をスタンバイ状態においてとることも可能である。

【0170】すなわち第1には、ビット線の電位レベルをたとえば-1.8Vとし、ワード線の電位レベルは任意の電圧とし、セル選択線の電位レベルは0Vに、Nウェルの電位レベルは0Vとするという電位配置の場合で

ある。

【0171】この場合、ビット線が負の電位となっており、セル選択線が0Vとなっているので、仮にメモリセルトランジスタが導通状態となっている場合でも、バイポーラトランジスタのエミッタベース間は逆方向バイアスされており、メモリセルトランジスタに電流が流れることはない。

【0172】第2には、ビット線の電位レベルを0Vに、ワード線の電位レベルは任意の電圧に、セル選択線の電位レベルは0Vとする場合である。

【0173】この場合も、仮にメモリセルトランジスタが導通状態となっている場合でも、ビット線の電位レベルとセル選択線の電位レベルがともに0Vとなっているため、バイポーラトランジスタはオン状態とならない。このため、スタンバイ状態においてメモリセルに電流が流れることはない。

【0174】第3には、ビット線の電位レベルを-1.8Vに、ワード線の電位レベルを任意の電圧に、セル選択線の電位レベルを-1.8Vにそれぞれ設定する場合である。

【0175】この場合も、セル選択線の電位レベルとビット線の電位レベルがともに-1.8Vとなっているため、メモリセルトランジスタが仮に導通状態となっている場合でも、バイポーラトランジスタはオン状態となることがない。

【0176】このため、スタンバイ状態においてメモリセルに電流が流れ消費電力が増大するということはない。

【0177】しかも、上述の場合においては、ワード線の電位レベルをスタンバイ状態において任意の電圧とすることが可能である。

【0178】したがって、予めスタンバイ状態においてもワード線の電位レベルを読出電圧に設定しておけば、読出動作においては、ビット線の電位レベルとセル選択線の電位レベルのみを駆動すればデータの読出が可能となり、読出動作の高速化を図ることが可能である。

【0179】しかも、スタンバイ状態においてワード線の電位レベルを任意の電圧に設定できるということは、言い換えれば、メモリセルトランジスタの“High V<sub>th</sub>”状態におけるしきい値電圧V<sub>th</sub>と、“Low V<sub>th</sub>”状態のしきい値電圧V<sub>th</sub>との間に動作マージンとして十分なレベル差が存在しさえすれば、それらの絶対値は、任意の値を有するように調整することが可能である。

【0180】このことは、Pチャネル型メモリセルトランジスタにおいて、読出電圧を、負の電圧に設定することは必ずしも必要なく、たとえば0Vの値や、正の電圧にすらすることが可能であることを意味する。

【0181】したがって、たとえば読出時のワード線の電位レベルを0Vとすることができれば、このワード線

の電位レベルを接地電位に固定し、特に駆動することは必要なくなる。

【0182】このことは、読出動作の高速化、およびワード線の電位レベルを駆動する回路の単純化が可能であることを意味する。

【0183】図2に示したメモリセルのスタンバイ状態における電位配置としては、さらに以上説明したような電位配置の他、スタンバイ状態においてNウェルに電源電圧V<sub>cc</sub>を印加し、その他の電位配置については、図12～図14で説明した電位配置または上述した第1から第3の電位配置となるようにすることも可能である。

【0184】このようにすることで、たとえば、メモリセルトランジスタのしきい値を0V以上とすることが、容易となる。つまり、メモリセルトランジスタがPチャネル型である場合、ワード線を選択する際に負電位を印加する必要がなくなる。

【0185】図15は、図1に示したメモリセルアレイの構成において、ウェル電位駆動回路120からウェルに電位を供給する配線の構成を示す概略ブロック図である。

【0186】図15に示したメモリセルアレイは、消去動作を行なう際の同一の消去ブロック1内に存在しているものとする。

【0187】すなわち、たとえば消去ブロックごとにウェル分割を行なっている場合においては、その同一ウェル内に存在するメモリセルアレイを示しているものとする。

【0188】図15に示した例においては、ウェル電位駆動回路120からウェル電位が供給される配線がこの同一の消去ブロック内に少なくとも2本以上存在することを示している。

【0189】ウェル電位供給配線は、Nウェルに接地電位または正の高電圧を供給する配線を示し、給電点P<sub>vs</sub>でNウェルとコンタクトしている。

【0190】メモリセルトランジスタのソース領域にエミッタ領域を有するバイポーラトランジスタはこのウェル領域をコレクタ領域としているため、ウェル電位供給配線により供給される電位レベルがこのバイポーラトランジスタの動作に大きな影響を与える。

【0191】すなわち、たとえば消去ブロック中にウェル電位の供給配線が1本しかない場合、このウェル電位供給配線がウェル表面とコンタクトする位置から遠い位置に存在するバイポーラトランジスタにおいては、コレクタ抵抗が実効的に増大してしまう。

【0192】したがって、バイポーラトランジスタの飽和特性が劣化し、正常な読出動作等が困難となる可能性がある。

【0193】したがって、図15に示したように、ウェル電位供給配線を消去ブロックに複数本配置することで、このようなバイポーラトランジスタの飽和現象を低



減することが可能となる。

【0194】図16～図17は、図1において説明した不揮発性半導体記憶装置1000において、同一ビット線上の複数ビットのメモリセルに対してデータの並列書込を行なう場合の動作を説明するための概念図であり、図18は、この並列書込動作の処理の流れを説明するためのフローチャートである。

【0195】まず、図16および図18を参照して、選択されたメモリセルに対して、並列に書込パルスを印加する動作について説明する。

【0196】Yデコーダ108は、アドレスバッファ102に与えられたアドレス信号に応じて、1つのビット線、たとえばビット線BL1を選択し、ビット線選択ゲートSLG1を導通状態とすることで、選択されたビット線BL1に電位-6Vを印加する（ステップS102）。

【0197】続いて、データドライバ124は、データ入出力端子を介して与えられた複数のデータ、たとえば8ビットのデータ“0, 1, 0, 0, ..., 1”に応じて、WLデコーダ106の選択したワード線WL1～WL8に対して以下のような電位レベルをワード線にそれぞれ与えさせる。

【0198】すなわち、書込むべきデータが0データである場合、対応するワード線には0Vを印加する。書込むデータが1データである場合、対応するワード線に10Vを印加する。このような印加は、一定時間幅のパルスとして行なわれる（ステップS104）。

【0199】続いて、WLデコーダ106は、選択している複数のワード線のすべての電位を0Vにする（ステップS106）。

【0200】次に、図17および図18を参照して、書込パルス印加後のペリファイ動作について説明する。

【0201】メモリセルSLデコーダ132は、選択されたメモリセルと接続するセル選択線SL1～SL8を介して、センスアンプ128に読出データを与える。センスアンプ128は、セル選択線SL1～SL8を介して、並列にデータを読出す（ステップS108）。

【0202】書込/消去制御回路122は、センスアンプ128で読出されたデータと、データドライバ126に与えられた書込データとを比較することで、書込動作が完了したか否かの判断を行なう（ステップS110）。

【0203】すべての選択されたメモリセルに対して、書込動作が完了していると判断した場合、書込/消去制御回路122は、書込動作を終了させる（ステップS114）。

【0204】一方で、書込/消去制御回路122は、書込が完了していないと判断した場合（ステップS110）、書込が完了していないビットに対応するワード線のみをWLデコーダ106に選択させ、再び書込まれる

データが0データであるか1データであるかに応じて、0Vまたは10Vの一定時間幅のパルスを対応するワード線に印加させる（ステップS104）。

【0205】以上のステップS104からステップS112までの処理を、すべての選択されたビットについて書込動作が完了したと判断されるまで繰返すことで、同一ビット線上の複数ビットのメモリセルに対して並列にデータを書込むことが可能となる。

【0206】以上の書込動作においては、ビット線の電位レベルは選択状態の電位レベルに固定したまま、書込時には選択されたワード線の電位レベルを駆動し、読出時には選択されたセル選択線からデータを読出すことでペリファイ動作を行なうため、高速なデータの書込動作を行なうことが可能となる。

【0207】[実施の形態2]以下では、図1および図2に示した不揮発性半導体記憶装置1000の製造方法について、図19～図30を用いて説明する。

【0208】図19～図30は、上記の構造を有する不揮発性半導体記憶装置1000の製造方法における第1工程～第12工程を示す断面図である。

【0209】まず、図19を参照して、p型シリコン基板201主表面に、300Å程度の膜厚を有する下敷き酸化膜202を形成する。そして、この下敷き酸化膜202上に、CVD（Chemical Vapor Deposition）法を用いて、500Å程度の膜厚の多結晶シリコン膜203を形成する。この多結晶シリコン膜203上に、CVD法などを用いて、1000Å程度のシリコン窒化膜204を形成する。そして、このシリコン窒化膜204上に、素子分離領域を露出するようにレジスト205を形成する。このレジスト205をマスクとして異方性エッチングを行なうことによって、素子分離領域上のシリコン窒化膜204および多結晶シリコン膜203をエッチングする。

【0210】その後、レジスト205を除去し、シリコン窒化膜204をマスクとして用いて選択酸化を行なうことによって、図20に示されるように、フィールド酸化膜206を形成する。そして、上記の多結晶シリコン膜203およびシリコン窒化膜204を除去する。

【0211】次に、図21に示されるように、メモリセルトランジスタ領域にリン（P）をイオン注入し、1000℃程度の温度で不純物ドライブを行なうことで、nウェル207が形成される。

【0212】下敷き酸化膜202を除去した後、熱酸化処理を施すことによって、p型シリコン基板201上全面に100Å程度の膜厚のゲート酸化膜213を形成する。そして、このゲート酸化膜213上に、CVD法などを用いて第1の多結晶シリコン膜214を1200Å程度の膜厚に形成する。

【0213】上記の第1の多結晶シリコン膜214上に、CVD法などを用いて100Å程度の膜厚の高温酸

化膜を形成し、この高温酸化膜上にCVD法などを用いてシリコン窒化膜を100Å程度の厚みに形成し、さらにこのシリコン窒化膜上にCVD法を用いて150Å程度の厚みの高温酸化膜を形成する。それにより、ONO膜215が形成される。

【0214】次に、上記のONO膜215上に、CVD法などを用いて、不純物が導入された多結晶シリコン層を1200Å程度の厚みに形成する。そして、この多結晶シリコン層上にスパッタリング法を用いて、タングステンシリサイド(WSi)層を1200Å程度の厚みに形成する。これらにより、コントロールゲート電極となる導電層216が形成される。

【0215】この導電層216上にCVD法を用いて、2000Å程度の膜厚を有するTEOS膜217を形成する。

【0216】次に、図23を参照して、上記のTEOS膜217上に、図23において横方向に断続的にレジスト218aを形成する。そして、このレジスト218aをマスクとして用いて、TEOS膜217、導電層216、ONO膜215、第1の多結晶シリコン膜214をエッチングする。それにより、フローティングゲート電極219およびコントロールゲート電極220が形成される。

【0217】次に、図24を参照して、メモリセルトランジスタ領域に、CVD法を用いて、2000Å程度の膜厚を有する高温酸化膜を形成する。そして、この高温酸化膜を異方性エッチングすることによって、メモリセルトランジスタのゲートの側壁にサイドウォール225を形成する。そして、このサイドウォール225をマスクとして用いてBF<sub>3</sub>またはB注入を行ない、濃度1E17~1E20cm<sup>-3</sup>であって、深さ0.1~0.3μmのp型不純物層を形成する。これにより、メモリセルトランジスタのソースおよびドレイン領域が形成される。

【0218】なお、特に限定されないが、ソース領域154の不純物濃度を、ドレイン領域150に比べて低くなるように設定することが、望ましい。

【0219】これは、ソース領域154は、バイポーラトランジスタのベース領域としても機能するため、この領域の不純物濃度が高すぎるとエミッタの注入効率が低下してしまうからである。

【0220】その後、図25に示すように、メモリセルトランジスタのソース領域上においてのみ開孔するレジストパターン218bを形成し、次に図26に示すように、このレジストマスクおよびサイドウォール絶縁膜をマスクとして、砒素(As)または、リン(P)をイオン注入し、n型不純物濃度1E19~1E21cm<sup>-3</sup>の濃度で、深さ0.05~0.2μmのエミッタ領域を形成する。

【0221】すなわち、レジスト除去後においては、図

26に示すように、メモリセルトランジスタのP-ソース領域に取囲まれるようにして、N+型エミッタ領域が形成されることになる。

【0222】図26に示したように、メモリセルトランジスタのソース領域の表面側にN型不純物のイオン注入が完了した後、アニールを行なって、不純物の活性化を行なうと、図27に示したように、互いに隣り合う2つのメモリセルトランジスタ毎にその共通なソース領域の半導体表面側にバイポーラトランジスタのエミッタ領域が形成されることになる。

【0223】続いて、CVD法などを用いて、1000Å程度の膜厚を有するTEOS酸化膜229を形成し、エッチバックを行い平坦化する。レジストをマスクとして、メモリセルトランジスタのソース領域のTEOS酸化膜229をエッチングして図28に示すようなコンタクトホールを形成する。

【0224】続いて、CVD法などを用いて、2000Å程度の膜厚を有する多結晶シリコン層を形成し、この多結晶シリコン層に不純物を導入することによって導電性をもたせる。さらに、タングステンシリサイドを1000Å程度堆積する(以下、多結晶シリコン膜とタングステンシリサイド膜との積層膜をポリサイド膜と呼ぶ)。

【0225】このポリサイド膜に所定形状のレジストを塗布し、このレジストをマスクとしてパターニングすることによって図29に示すようなセル選択線227が形成される。

【0226】次に、図30を参照して、上記レジストを除去した後、セル選択線227上に、CVD法を用いてTEOS膜などからなるシリコン酸化膜229を形成する。このシリコン酸化膜229の膜厚は1500Å程度である。そして、このシリコン酸化膜229上に、CVD法などを用いて、10000Å程度の膜厚を有するBPTEOS膜などからなるシリコン酸化膜231を形成する。その後、850℃程度の熱処理によりリフローを行ない、BHF(バッファード弗酸)等によりBPTEOS膜を5000Å程度エッチバックする。

【0227】そして、このシリコン酸化膜231上に、所定形状のレジストを堆積し、このレジストをマスクとして、シリコン酸化膜229、231をエッチングする。これにより、メモリセルトランジスタのドレイン領域と、後の工程で形成される主ビット線233との接続のためのコンタクトホール233aが形成されることになる。次に、上記のコンタクトホール233a内に、CVD法およびエッチバック法を用いて、タングステンプラグ233bを形成する。

【0228】そして、このタングステンプラグ233b上およびシリコン酸化膜231上に、スパッタリング法などを用いて、5000Å程度の膜厚を有するアルミニウム合金層を形成する。

【0229】そして、このアルミ合金層上に所定形状のレジスト（図示せず）を堆積し、このレジストをマスクとしてアルミニウム合金層をパターニングすることによって、ビット線233が形成される。

【0230】その後、上記アルミ合金層をパターニングに用いたレジストを除去し、このビット線上に層間絶縁層（図示せず）を形成する。

【0231】以上の工程により、図2に示した断面形状を有するメモリセルトランジスタが製造されることになる。

【0232】以上のようなプロセスにより、メモリセル面積の増大を抑制しつつ、2つのメモリセルトランジスタに共有されるバイポーラトランジスタを形成することが可能となる。

【0233】〔実施の形態3〕実施の形態2のメモリセルトランジスタの製造方法においては、メモリセルトランジスタのコントロールゲートおよびフローティングゲート等の側壁に形成された絶縁膜サイドウォールおよびパターニングしたレジスト層をマスクとして、メモリセルトランジスタのソース領域の表面側にエミッタを形成するためのイオン注入を行なった。

【0234】しかしながら、メモリセルトランジスタのソース領域中にエミッタ層を形成する工程としては、実施の形態2で説明したような方法に限られない。

【0235】実施の形態2においては、実施の形態1に示したセル選択線は、多結晶シリコン層を用いることで形成していた。

【0236】しかしながら、このセル選択線をアルミ配線によって形成することとすると、以下のような製造工程をとることも可能である。

【0237】図31は、セル選択線をアルミ配線で形成し、このアルミ配線が直接半導体基板表面とコンタクトをとる場合のエミッタ層の形成方法を示す。

【0238】すなわち、実施の形態1で示した工程フローのうち、図26で示したメモリセルトランジスタのソースドレイン領域へのイオン注入工程が完了した段階で、層間絶縁膜250を形成する。この層間絶縁膜250にメモリセルトランジスタのソース領域およびドレイン領域に開口するコンタクトホール252を開口する。

【0239】さらに、メモリセルトランジスタのソース領域のみ開口したレジストマスク越しに、ソース領域の半導体基板表面側にエミッタ層となるN型不純物のイオン注入を行なう。

【0240】このような工程によっても、メモリセルトランジスタに近接して、そのソース領域表面側にエミッタ層を有するバイポーラトランジスタを形成することが可能である。

【0241】以上のようなプロセスにより、メモリセル面積の増大を抑制しつつ、2つのメモリセルトランジスタに共有されるバイポーラトランジスタを形成すること

が可能となる。

【0242】〔実施の形態4〕図32は、実施の形態4のバイポーラトランジスタのエミッタ領域を形成する別の工程を示す図である。

【0243】図32を参照して、図31に示した工程と同様にして、メモリセルトランジスタのソースドレイン領域のイオン注入が完了した時点で、層間絶縁膜250を堆積する。この層間絶縁膜250にメモリセルトランジスタのソース領域で開口するコンタクトホール252を開口する。このコンタクトホールに対して、層間絶縁膜をマスクとして、エミッタ層となるN型不純物のイオン注入を行なう。

【0244】続いて、このコンタクトホールにポリサイド配線を形成することで、いわゆるポリサイド配線による直接コンタクトを形成する。

【0245】このようなプロセスによっても、隣接する2つのメモリセルトランジスタに共有されたソース領域の半導体基板表面側に、ソース領域とは異なる導電型の不純物のイオン注入を行なうことが可能である。

【0246】以上のようなプロセスにより、メモリセル面積の増大を抑制しつつ、2つのメモリセルトランジスタに共有されるバイポーラトランジスタを形成することが可能となる。

【0247】〔実施の形態5〕図33および図34は、本発明の実施の形態5の、バイポーラトランジスタの形成プロセスを示す図である。

【0248】図31に示した場合と同様に、メモリセルトランジスタのソースドレイン領域へのイオン注入が完了した後、層間絶縁膜250を形成し、層間絶縁膜250に対して、ソース領域上に開口するコンタクトホールを形成する。

【0249】次に、図34を参照して、この層間絶縁膜をマスクとして、2つの隣接するメモリセルトランジスタに共有されたソース領域上に開口したコンタクトホール中に、N型のシリコン層を、たとえばCVD法等を用いて、選択的にエピタキシャル成長させる。

【0250】すなわち、この選択的に成長されたN型Siエピタキシャル成長層がバイポーラトランジスタのエミッタ層となり、その下層に存在するP型ソース領域がバイポーラトランジスタのベース領域となり、そのソース領域が形成されているNウェル領域がバイポーラトランジスタのコレクタ領域となる。

【0251】以上のようなプロセスによっても、2つの隣接するメモリセルトランジスタに共有されるソース領域をベース層とするバイポーラトランジスタを形成することが可能である。

【0252】以上のようなプロセスにより、メモリセル面積の増大を抑制しつつ、2つのメモリセルトランジスタに共有されるバイポーラトランジスタを形成することが可能となる。

【0253】[実施の形態6] 図35および図36は、本発明の実施の形態6のバイポーラトランジスタの形成方法を示す図である。

【0254】図35を参照して、まず、図31と同様にして、メモリセルトランジスタへのソースドレイン領域のイオン注入が完了した後に、層間絶縁膜250が形成される。

【0255】続いて、この層間絶縁膜に、隣接する2つのメモリセルトランジスタに共有されるソース領域上に開口するコンタクトホール252が形成される。

【0256】続いて、図36を参照して、図34の工程において、露出したソース部のシリコン基板上に、ソース拡散層とは異なった導電性を有するポリシリコン層を堆積し、これをバイポーラトランジスタのエミッタ領域とする。

【0257】このエミッタ領域上に、さらにセル選択線を堆積し、パターニングすることで、セル選択線を形成する。

【0258】以上の説明では、半導体基板表面上に堆積されたN型ポリシリコン層が直接エミッタとして動作する場合を説明したが、たとえば、このN型ポリシリコン層が形成された段階で、熱処理を行なうことにより、N型ポリシリコン層中のN型不純物をソース領域表面側に拡散させてやることにより、この拡散により形成されたN型層をバイポーラトランジスタのエミッタ層とすることも可能である。

【0259】以上のような工程によっても、メモリセル面積の増大を招くことなく、2つのメモリセルトランジスタに共有されるバイポーラトランジスタを形成することが可能である。

【0260】[実施の形態7] 図37および図38は、2つのメモリセルトランジスタの共有するソース領域表面側にバイポーラトランジスタのエミッタ層を形成する別の工程を示す図である。

【0261】まず、図37を参照して、メモリセルトランジスタへのソースドレインのイオン注入が完了した時点で、ソース領域上に開口するレジストマスクパターン260を形成する。

【0262】続いて、このレジストマスクをマスクとして、ソース領域の半導体基板表面側に、ソース領域とは異なる導電性の不純物（この場合は、N型不純物）のイオン注入を行なう。

【0263】続いて、レジストマスクパターン260を除去することで、隣接する2つのメモリセルトランジスタに共有されるソース領域の半導体基板表面側に、N型エミッタ層が形成されていることになる。

【0264】このようなプロセスによっても、メモリセル面積を増大させることなく、2つのメモリセルトランジスタに共有されるバイポーラトランジスタを形成することが可能である。

【0265】[ウェルの構成] 以上の説明では、Pチャネル型メモリセルトランジスタは、P型基板上に形成されたNウェル内に形成されるものとしてきた。

【0266】しかしながら、P型基板中に形成されるウェルの構成方法としては、以下のような場合がある。

【0267】まず、図39を参照して、P型基板200の表面側には、まずメモリセルトランジスタ領域中において、消去ブロック単位毎に独立して生成されたN型ウェル302a~302bが形成されている。

10 【0268】一方で、周辺回路のうち、Pチャネルトランジスタは、P型基板表面側に形成されたN型ウェル内に、Nチャネル型トランジスタは、P型基板の表面側に形成されたP型ウェル内に形成されている。

【0269】すなわち、周辺回路を構成するCMOS回路は、いわゆるツインウェル型の構成を有する。

【0270】図40は、P型基板表面側に形成されるウェルの構成の他の例を示す断面図である。

20 【0271】図39に示したウェル構成では、周辺回路のCMOS型トランジスタは、ツインウェル内に形成される構成となっていた。

【0272】図40に示した構成においては、周辺回路のNチャネルトランジスタが形成されるウェルは、P型基板の表面側に形成されたNウェル中にさらに、P型ウェルが形成される構成となっている。

【0273】したがって、周辺回路を構成するCMOSトランジスタは、いわゆるトリプルウェル型のウェルに形成されることになる。

【0274】このようなウェル構成とすることで、周辺回路のラッチアップに対する耐性等が向上する。

30 【0275】図41は、N型基板に、図1に示した不揮発性半導体記憶装置1000を形成する場合の、ウェル構成を示す断面図である。

【0276】不揮発性半導体記憶装置1000のメモリセルアレイ部は、N型基板の表面側に形成されたNウェル内に形成される。

【0277】一方、周辺回路を構成するCMOS回路のPチャネルトランジスタは、N型基板の表面側に形成されたNウェル内に形成される。

40 【0278】一方、周辺回路を構成するCMOS回路のNチャネル型トランジスタは、N型基板表面に形成されたPウェル内に形成される。

【0279】したがって、このようなウェル構成においては、メモリセルトランジスタが形成されるウェルを、消去単位で分割するということは困難である。

【0280】図42は、N型基板に、図1に示した不揮発性半導体記憶装置1000を形成する場合の他のウェル構成を示す断面図である。

50 【0281】図42においては、メモリセルアレイが形成される領域は、N型基板表面に形成されたPウェル内に、さらに形成されたN型ウェルの領域である。

【0282】したがって、この場合は、メモリセルトランジスタが形成されるN型ウェルを、消去ブロック毎にウェル分割する構成とすることが可能である。

【0283】さらに、周辺回路を構成するCMOS回路の、Pチャネルトランジスタは、N型基板の表面に形成されたNウェル領域内に形成される。周辺回路のCMOS回路のNチャネルMOSトランジスタは、N型基板の表面に形成されたP型ウェル領域内に形成される。

【0284】以上説明したような図39～図42のようなウェル構成を用いることで、P型基板に対しても、N型基板に対しても、図1に示したような不揮発性半導体記憶装置1000を形成することが可能である。

【0285】特に、P型基板を用いた場合は、Pチャネルメモリセルを形成する際に、消去ブロック毎にPチャネルメモリセルトランジスタが形成されるウェルを分割することが容易であるという利点が存在する。

【0286】【実施の形態8】図43は、本発明の実施の形態8の不揮発性半導体記憶装置2000の構成を示す概略ブロック図である。

【0287】図1に示した実施の形態1の不揮発性半導体記憶装置1000の構成と異なる点は、以下のとおりである。

【0288】なお、図43においては、説明の簡単のために、メモリセルアレイ104中に含まれるメモリセルは、2行2列の場合を示している。

【0289】実施の形態8の不揮発性半導体記憶装置2000は、各メモリセルに含まれるメモリセルトランジスタごとにバイポーラトランジスタを1つずつ含む構成となっている点で、実施の形態1の不揮発性半導体記憶装置1000の構成と異なる。

【0290】すなわち、不揮発性半導体記憶装置2000のメモリセルアレイ104においては、メモリセルMC1aは、フローティングゲートを有し、コントロールゲートがワード線WL1と接続し、ドレインがビット線BL1と接続するメモリセルトランジスタTM1aを含み、このメモリセルトランジスタTM1aに対応して、ベースがメモリセルトランジスタTM1aのソースと接続し、コレクタに接地電位を受け、エミッタがセル選択線SL1と接続するバイポーラトランジスタBT1aが設けられる。

【0291】他のメモリセルMC1b、MC2aおよびMC2bについても、基本的な構成は同様である。

【0292】すなわち、実施の形態8の不揮発性半導体記憶装置2000においては、メモリセルアレイの各行に対応して、ワード線およびセル選択線が1本ずつ配置される構成となっている。

【0293】その他の構成部分は、図1に示した実施の形態1の不揮発性半導体記憶装置1000の構成と同様であるので、同一部分には同一符号を付してその説明は繰返さない。

【0294】図44は、図43に示したメモリセルMC1aおよびMC1bの構造を示す断面図である。

【0295】図44を参照してメモリセルMC1aの構造をさらに詳しく説明する。メモリセルMC1aに含まれるメモリセルトランジスタTM1aは、半導体基板の表面側に形成されるN型ウェル140と、N型ウェルの表面側に形成されるP型ドレイン領域150およびP型ソース領域154と、ドレイン領域150およびソース領域154の間に挟まれるチャネル領域152と、チャネル領域152上に、トンネル酸化膜を介在させて形成されるフローティングゲート156と、フローティングゲート156の上方に、絶縁膜を介在させて形成されるコントロールゲート158とを含む。

【0296】メモリセルMC1aのソース領域154の表面側に、ソース領域154に半導体基板の表面側を除いて取り囲まれるように、N型エミッタ領域160が形成されている。

【0297】すなわち、このN型エミッタ領域160をエミッタとし、ソース領域154をベース領域とし、N型ウェル140をコレクタ領域とするバイポーラトランジスタが構成されている。

【0298】ドレイン領域150は、ビット線BL1と接続し、エミッタ領域160は、セル選択線SL1と接続している。

【0299】メモリセルMC1aとMC1bとの境界には、素子分離領域170が形成されている。

【0300】この素子分離領域170としては、半導体基板の表面側からエッチングされたトレンチ領域に埋込酸化膜を形成したいわゆる、トレンチ型の素子分離領域を用いることが可能である。

【0301】また、いわゆるLOCOS(Local Oxidation of Silicon)分離を用いることも可能である。

【0302】また、ソース領域154中に、エミッタ領域160を形成する方法としては、実施の形態2～7において説明したのと同様の製造方法を用いることが可能である。

【0303】図45は、図43に示したメモリセルアレイ104の構成をより詳細に示す回路図である。

【0304】図45においては、メモリセルMC2aが選択される場合の、ビット線BL1～BL3、ワード線WL0～WL3およびセル選択線SL0～SL3の電位配置を示している。

【0305】すなわち、メモリセルMC2aのメモリセルトランジスタTM2aのドレインと接続するビット線BL2は、0Vの電位レベルに保持されている。

【0306】それ以外のビット線の電位レベルは、たとえば-1.8Vに保持されている。一方、メモリセルMC2aのメモリセルトランジスタTM2aのゲートと接続するワード線WL1の電位レベルは、-1.8Vに保持され、その他のワード線の電位レベルは、0Vに保持

されている。

【0307】さらに、メモリセルMC2aのバイポーラトランジスタのエミッタと接続するセル選択線の電位レベルは、たとえば-1.8Vに保持され、その他のセル選択線の電位レベルは、0Vに保持されている。

【0308】このような電位配置とすることで、たとえば、メモリセルトランジスタTM2aが、ワード線の電位レベルが-1.8Vとなることで、導通状態となっている場合は、ビット線BL2が電位レベル0Vとなっているので、このメモリセルトランジスタTM2aを介して、

バイポーラトランジスタBT2aのベースは、セル選択線によって、-1.8Vの電位レベルとされているエミッタに比べて、正側にバイアスされることになる。【0309】すなわち、バイポーラトランジスタBT2aのベースエミッタ接合が順方向バイアスされることになる。このため、メモリセルトランジスタTM2aのチャネル領域から、バイポーラトランジスタBT2aのベースに対して、ベース電流が供給され、これに応じて、接地電位に保持されているバイポーラトランジスタBT2aのコレクタから、-1.8Vに保持されているセル

選択線SL1に対して、ベース電流を、電流増幅率に相当する分だけ増幅したエミッタ電流が流れることになる。【0310】したがって、実施の形態1の不揮発性半導体記憶装置1000と同様に、メモリセルSLデコーダ132と接続したセンスアンプ128により、このセル選択線SL1を流れる電流値を検出することで、メモリセルトランジスタTM2a中に保持されている情報を読出すことが可能となる。

【0311】なお、以上の説明では、メモリセルトランジスタTM2aが“Low Vt”状態となっている場合について説明した。しかしながら、メモリセルトランジスタTM2aが、“High Vt”状態となっている場合は、ワード線WL1の電位レベルを-1.8Vとした場合でも、このメモリセルトランジスタTM2aに電流が流れない。したがって、バイポーラトランジスタBT2aにベース電流が供給されないため、セル選択線SL1にも電流が流れることがない。

【0312】つまり、セル選択線SL1を流れる電流値をセンスアンプ128で検出することで、メモリセルトランジスタTM2aが“Low Vt”状態となっているか、“High Vt”状態となっているかを検出することが可能である。

【0313】図43に示したメモリセルにおいても、メモリセル1個あたりに1個バイポーラトランジスタが配置されている点を除けば、実施の形態1の図7および図8で説明した電位配置で書込動作を行なうことが可能である。

【0314】さらに、本実施例においても、書込動作時に、非選択状態にあるコントロールゲートの電位レベル

はゲートドレイン間の電界を緩和するような電位とすることで、いわゆるドレインディスタ urb不良を防止することが可能である。

【0315】すなわち、選択されたビットに接続するビット線の電位レベルが-6Vとなっていることに対応して、たとえば、非選択状態のコントロールゲートの電位レベルは-3V等の負電位を印加していることが望ましい。

【0316】つまり、書込動作状態において、非選択状態にあるメモリセルトランジスタのコントロールゲート（ワード線）に負電圧を印加することで、ドレインディスタ urb不良の発生をより防止することが可能となる。

【0317】図46は、図43に示したメモリセルMC1aとMC1bの断面構造を、2つの場合について対比して示す図であり、図46(a)は、断面構造の第1の例を、図46(b)は断面構造の第2の例を示す図である。

【0318】図46(a)は、図44に示した構造と同一であり、メモリセルMC1aのメモリセルトランジスタTM1aのソース領域と、メモリセルMC1bのメモリセルトランジスタTM1bのソース領域とが互いに近接して配置され、そのソース領域同士の境界部分に素子分離領域170が設けられる構成となっている。

【0319】これに対して、図46(b)の構成においては、メモリセルトランジスタTM1aのソース領域に近接して、メモリセルトランジスタTM1bのドレイン領域が形成される構成となっている。

【0320】したがって、メモリセルトランジスタTM1aのソース領域と、メモリセルトランジスタTM1bのドレイン領域との境界部分に素子分離領域170が設けられる構成となっている。

【0321】図46(a)のような構成とする場合は、たとえば、メモリセルトランジスタTM1aとTM1bのソース領域とドレイン領域において、注入条件を変えるような場合は、同一の注入条件を有する領域が2つのメモリセルについて近接しているため、レジストマスクを形成しやすいという利点がある。

【0322】すなわち、ソース領域またはドレイン領域の各々について、個別にイオン注入用のレジストマスクを形成する場合そのレジストマスクが開口する面積を大きくすることが可能であるため、写真製版工程において要求される解像度に対するマージンを大きくとることが可能である。

【0323】一方、図46(b)に示したような構成とした場合、互いに隣接して形成されるバイポーラトランジスタBT1aと、バイポーラトランジスタBT1bのエミッタ領域に対して、それぞれ接続するセル選択線SL1およびSL2の配線間隔を大きくとることが可能であるという利点がある。

【0324】すなわち、一般に、セル選択線SL1とS

10

20

30

40

50

L2とは同一の配線層により形成されるが、この配線層の配線ピッチを大きくとることができれば、セル選択線形成工程における写真製版等のマージンを大きくとることができる。

【0325】図47～図49は、図44において説明したメモリセルのスタンバイ状態における電位配置の例を示す模式図である。

【0326】まず、図47を参照して、メモリセルMC1aおよびMC1bのスタンバイ状態における各部の電位配置の第1の例を説明する。

【0327】図47においては、ビット線はたとえば、-1.8Vに、コントロールゲートは0Vに、セル選択線は0Vに、N型ウェルは0Vにそれぞれ保持されている。

【0328】このような状態とすることで、たとえば、仮にメモリセルトランジスタTM1aのチャネルを介して電流が流れ得る状態となっている場合でも、バイポーラトランジスタのベース領域、すなわちメモリセルトランジスタTM1aのソース領域と、バイポーラトランジスタのエミッタ領域160とは、逆バイアスされる状態となっているため、バイポーラトランジスタBT1aには電流が流れない。

【0329】したがって、図47に示したような電位配置とすることで、スタンバイ状態において、セル選択線2は、メモリセルトランジスタのしきい値に関わりなく電流が流れない。

【0330】図48は、図44に示したメモリセルのスタンバイ状態における各部の電位配置の他の例を示す図である。

【0331】図48においては、ビット線の電位レベルは0Vに、コントロールゲートの電位レベルは0Vに、セル選択線の電位レベルは0Vに、N型ウェルの電位レベルは0Vにそれぞれ保持されている。

【0332】以上のような電位配置でスタンバイ状態とした場合、たとえば、メモリセルトランジスタTM1aが導通状態となっていたとしても、バイポーラトランジスタのベースエミッタ間には順方向バイアスが印加されない。このため、セル選択線には電流が流れないことになる。

【0333】図49は、図44において説明したメモリセルのスタンバイ状態における電位配置のさらに他の例を示す概念図である。

【0334】図49においては、ビット線はたとえば、-1.8Vに、コントロールゲートは0Vに、セル選択線は-1.8Vに、N型ウェルは0Vにそれぞれ保持されている。

【0335】図49に示したような電位配置によっても、バイポーラトランジスタのエミッタベース間は順方向にバイアスされることがないので、この場合もセル選択線には電流が流れない。

【0336】以上の説明においては、スタンバイ状態においてメモリセルトランジスタのコントロールゲートの電位レベルはすべて0Vに保持するものとした。

【0337】しかしながら、バイポーラトランジスタのエミッタベース間が順方向バイアスされない限り、セル選択線には電流が流れないため、コントロールゲートの電位レベル、すなわち、ワード線の電位レベルは、スタンバイ状態において必ずしも0Vに保持しておく必要はない。

10 【0338】したがって、スタンバイ状態において、さらに以下のような電位配置とすることも可能である。

【0339】第1には、スタンバイ状態において、ビット線の電位レベルを、たとえば-1.8Vとし、ワード線の電位レベルを任意の電圧とし、セル選択線の電位レベルを0Vとする。

【0340】この場合、ワード線WLの電位レベルが任意の電圧となっていることで、たとえば、メモリセルトランジスタTM1aが導通状態となっているとする。しかしながら、メモリセルトランジスタTM1aのチャネルを介してバイポーラトランジスタのベース領域、すなわちメモリセルトランジスタTM1aのソース領域はビット線の電位レベルにより負側にバイアスされている。一方、バイポーラトランジスタのエミッタ領域は、セル選択線により0Vに保持されているため、エミッタベース間は逆方向にバイアスされていることになる。

【0341】このため、このような電位配置においても、スタンバイ状態においてはセル選択線に電流が流れることはない。

30 【0342】第2には、スタンバイ状態において、ビット線の電位レベルを0Vに、ワード線の電位レベルを任意の電圧に、セル選択線の電位レベルを0Vに保持する配置も可能である。

【0343】この場合でも、仮にたとえばメモリセルトランジスタTM1aが導通状態となっていたとしても、メモリセルトランジスタのソース領域に形成されたバイポーラトランジスタのエミッタベース間は順方向バイアスされることがない。

【0344】したがって、このような電位配置でも、スタンバイ状態においてセル選択線に電流が流れることはない。

40 【0345】第3には、ビット線の電位レベルを-1.8Vに、ワード線の電位レベルを任意の電圧に、セル選択線の電位レベルを-1.8Vとする電位配置とすることも可能である。

【0346】このような電位配置によっても、仮にメモリセルトランジスタTM1aが導通状態となっていたときでも、バイポーラトランジスタのエミッタベース間は順方向バイアスされることがない。

50 【0347】したがって、メモリセル選択線に電流は流れない。第4には、N型ウェルに電源電位Vccを印加

し、ビット線、ワード線（コントロールゲート）、セル選択線の電位レベルは、それぞれ図47～図49において説明した電位配置または、上記説明した第1から第3の電位配置とするような電位配置とすることも可能である。

【0348】このようにすることで、たとえば、メモリセルトランジスタのしきい値を0V以上とすることが、容易となる。つまり、メモリセルトランジスタがPチャネル型である場合、ワード線を選択する際に負電位を印加する必要がなくなる。

【0349】しかも、上述の第1～第4の場合においては、ワード線の電位レベルをスタンバイ状態において任意の電圧とすることが可能である。

【0350】したがって、予めスタンバイ状態においてもワード線の電位レベルを読出電圧に設定しておけば、読出動作においては、ビット線の電位レベルとセル選択線の電位レベルのみを駆動すればデータの読出が可能となり、読出動作の高速化を図ることが可能である。

【0351】しかも、スタンバイ状態においてワード線の電位レベルを任意の電圧に設定できるということは、言い換えれば、メモリセルトランジスタの“High Vth”状態におけるしきい値電圧Vthと、“Low Vth”状態のしきい値電圧Vthとの間に動作マージンとして十分なレベル差が存在しさえすれば、それらの絶対値は、任意の値を有するように調整することが可能である。

【0352】このことは、Pチャネル型メモリセルトランジスタにおいて、読出電圧を、負の電圧に設定することは必ずしも必要なく、たとえば0Vの値や、正の電圧にすらすることが可能であることを意味する。

【0353】したがって、たとえば読出時のワード線の電位レベルを0Vとすることができれば、このワード線の電位レベルを接地電位に固定し、特に駆動することは必要なくなる。

【0354】このことは、読出動作の高速化、およびワード線の電位レベルを駆動する回路の単純化が可能であることを意味する。

【0355】図50は、図47において説明したスタンバイ状態から、不揮発性半導体記憶装置2000が読出動作をする場合の、ビット線BLの電位レベル、ワード線WLの電位レベル、セル選択線SLの電位レベルおよびN型ウェルの電位レベルの時間変化を説明するためのタイミングチャートである。

【0356】時刻t0において、不揮発性半導体記憶装置の電源が投入される。時刻t1において、ビット線の電位レベルは-1.8Vに、ワード線の電位レベルは0Vに、セル選択線SLの電位レベルは0Vに、N型ウェルの電位レベルは0Vにそれぞれ設定され、スタンバイ状態の電位配置となるものとする。

【0357】続いて時刻t2において、まず、セル選択

線の電位レベルが活性状態の電位レベル、すなわち、-1.8Vに変化する。

【0358】続いて時刻t3において、ビット線の電位レベルが活性状態、すなわち0Vに変化する。

【0359】ここで、メモリセルトランジスタへの書込前後でのしきい値を調整することにより、ワード線の電位レベルは0Vにおいて読出が行なわれるものとする。

【0360】すなわち、“High Vth”状態のメモリセルのしきい値は0V以下であり、“Low Vth”状態のメモリセルのしきい値は0V以上となるようにデータの書込が行なわれているものとする。

【0361】時刻t3におけるような電位配置となることで、したがって“High Vth”状態となっているメモリセルについては、セル選択線に電流が流れ、“Low Vth”状態となっているメモリセルには電流が流れない。この電流値を、図43に示したセンスアンプ128が増幅する。

【0362】時刻t4において、ビット線の電位レベルが再びスタンバイ状態の-1.8Vに復帰する。

【0363】続いて時刻t5において、セル選択線の電位レベルがスタンバイ状態における0Vに復帰して、電位配置が、再びスタンバイ状態における電位配置に復帰する。

【0364】図50において説明したような読出動作においては、ワード線の電位レベルを変化させることなく、ビット線とセル選択線の電位レベルを変化させるのみで、メモリセルに保持されたデータの読出をすることが可能である。

【0365】ワード線の電位レベルは読出動作中もスタンバイ状態中も同一レベルに保たれているため、読出動作に対して、ワード線の充放電時間が影響を与えず、高速読出を行なうことが可能である。

【0366】図51は、図43に示したメモリセルアレイに、ウェル電位を供給するためのウェル電位供給配線の構成を示す図であり、実施の形態1における図15と対比される図である。

【0367】図51に示したメモリセルアレイは、消去動作を行なう際の同一の消去ブロック1内に存在しているものとする。

【0368】すなわち、たとえば消去ブロックごとくにウェル分割を行なっている場合においては、その同一ウェル内に存在するメモリセルアレイを示しているものとする。

【0369】図51に示した例においては、ウェル電位駆動回路120からウェル電位が供給される配線がこの同一の消去ブロック内に少なくとも2本以上存在することを示している。

【0370】ウェル電位供給配線は、Nウェルに接地電位または正の高電圧を供給する配線を示し、給電点PvsでNウェルとコンタクトしている。

10

20

30

40

50



【0371】メモリセルトランジスタのソース領域にエミッタ領域を有するバイポーラトランジスタはこのウェル領域をコレクタ領域としているため、ウェル電位供給配線により供給される電位レベルがこのバイポーラトランジスタの動作に大きな影響を与える。

【0372】すなわち、たとえば消去ブロック中にウェル電位の供給配線が1本しかない場合、このウェル電位供給配線がウェル表面とコンタクトする位置から遠い位置に存在するバイポーラトランジスタにおいては、コレクタ抵抗が実効的に増大してしまう。

【0373】したがって、バイポーラトランジスタの飽和特性が劣化し、正常な読出動作等が困難となる可能性がある。

【0374】したがって、図51に示したように、ウェル電位供給配線を消去ブロックに複数本配置することで、このようなバイポーラトランジスタの飽和現象を低減することが可能となる。

【0375】また、実施の形態8の不揮発性半導体記憶装置2000においても、実施の形態1の不揮発性半導体記憶装置1000について図16～図18で説明したような複数データの並列書込および並列ベリファイ動作を行なうことが可能である。

【0376】【実施の形態9】図52は、本発明の実施の形態9の不揮発性半導体記憶装置3000の構成を示す概略ブロック図である。

【0377】実施の形態1の不揮発性半導体記憶装置1000の構成と異なる点は、以下のとおりである。

【0378】なお、図52においても、説明の簡単のために、メモリセルアレイ104には、メモリセルが4行×2列のみ含まれるものとしている。

【0379】不揮発性半導体記憶装置3000の構成が、不揮発性半導体記憶装置1000の構成と異なる第1の点は、たとえば、メモリセルMC1aについてみると、ビット線BL1と、メモリセルトランジスタMT1aとの間に、セル選択トランジスタMS1aが接続される構成となっている点である。

【0380】すなわち、セル選択トランジスタMS1aは、そのゲート電位をメモリセルSLデコーダ132により第2のセル選択線MSL1により制御され、ビット線BL1と、メモリセルトランジスタMT1aのドレインとの接続を導通状態または遮断状態とする。

【0381】以下では、バイポーラトランジスタのエミッタの電位レベルを制御するためのセル選択線を、第1のセル選択線と呼ぶことにする。

【0382】第2には、メモリセルSLデコーダ132が、後に説明するように、アドレス信号A0～Aiに応じて、対応するメモリセルを選択する際に、第1のセル選択線SL1と、第2のセル選択線MSL1の両者の電位レベルを制御する構成となっている点である。

【0383】その他の、たとえば、メモリセル2つ当た

りに1個のバイポーラトランジスタが設けられる構成等は、図1に示した不揮発性半導体記憶装置1000の構成と同様であるので、同一部分には同一符号を付してその説明は繰返さない。

【0384】図53は、図52に示したメモリセルMC1aの構造を示す断面図である。メモリセルMC1aは、半導体基板表面に設けられたN型ウェル140と、N型ウェル140中の半導体基板表面に設けられるP型ドレイン領域150と、P型ソース領域154と、ドレイン領域150とソース領域154との間に挟まれるチャネル領域152と、チャネル領域152上に、トンネル酸化膜を介在させて形成されるフローティングゲート156と、フローティングゲート156上に、絶縁膜を介在させて形成されるコントロールゲート158とを含む。

【0385】なお、特に限定されないが、ドレイン領域150の不純物濃度に比べて、ソース領域154の不純物濃度は低めに設定されているものとする。

【0386】メモリセルMC1aは、さらに、N型ウェル140の表面に、ドレイン領域150に近接するチャネル領域164と、ドレイン領域150に対して、チャネル領域164を挟んで形成される第2のドレイン領域166と、チャネル領域164上に、トンネル酸化膜を介して形成され、フローティングゲート156と同一の配線層（たとえば、ポリシリコン層）により形成されるセレクトゲート下層172と、セレクトゲート下層172上に、電気的に接続されるように形成され、コントロールゲート158と同一の配線層（たとえば、第2ポリシリコン層）により形成されるセレクトゲート上層174とを含む。

【0387】以下では、セレクトゲート下層172およびセレクトゲート上層174とを総称してセレクトゲートSGと呼ぶことにする。

【0388】セレクトゲートSGの電位レベルは、第2のセル選択線MSL1により制御される。

【0389】コントロールゲート158の電位レベルは、ワード線WL1により制御される。

【0390】メモリセルトランジスタMC1aは、さらに、ソース領域154中に、半導体基板表面を除いて、このソース領域154により完全に囲まれるように、半導体基板表面側に形成されるN型エミッタ領域160を含む。

【0391】したがって、このN型エミッタ領域160をエミッタとし、ソース領域154をベースとし、N型ウェル140をコレクタとするバイポーラトランジスタが形成されている。N型ウェル140には、ウェル電位供給配線（図示せず）により、ウェル電位（たとえば、0V）が供給されているものとする。

【0392】エミッタ領域160は、第1のセル選択線SL1と接続し、第2のドレイン領域166は、ビット

10

20

30

40

50

線BL1と接続している。

【0393】ソース領域154の不純物濃度が、ドレイン領域150に比べて低くなるように設定されるのは、ソース領域154は、バイポーラトランジスタのベース領域としても機能するため、この領域の不純物濃度が高すぎるとエミッタの注入効率が低下してしまうからである。

【0394】図53においては、さらに読出動作における各部の電位配置の一例が示されている。

【0395】すなわち、読出動作においては、ビット線BL1の電位レベルは0Vに、第1のセル選択線SL1の電位レベルは-1.8Vに保持されている。

【0396】一方、セル選択トランジスタMS1aのセレクトゲートSGの電位レベルが-1.8Vに、コントロールゲート258の電位レベルは0Vに保持されているものとする。

【0397】ここでは、やはり、メモリセルトランジスタMT1aの書き込み値を調整することにより、コントロールゲート158の読出時の電位レベルは0Vとなるように設定されているものとする。

【0398】セレクトゲートSGの電位レベルが-1.8Vとされていることにより、セル選択トランジスタMS1aは導通状態となり、ビット線BL1と第1のドレイン領域150とは、チャンネル領域164を介して接続される。

【0399】一方、バイポーラトランジスタのエミッタ領域160は第1のセル選択線SL1により-1.8Vにバイアスされている。

【0400】したがって、たとえば、メモリセルトランジスタMT1aが、そのコントロールゲートの電位が0Vとなることで導通状態となるようなデータを保持している場合は、第1のドレイン領域150から、チャンネル領域152を介して、バイポーラトランジスタのベース領域、すなわち、ソース領域154は、エミッタ領域160に対して正側にバイアスされることになる。

【0401】したがって、バイポーラトランジスタのエミッタベース間が順方向バイアスされ、第1のセル選択線SL1にチャンネル152を介して流入するベース電流を電流増幅率に相当するだけ増幅されたエミッタ電流が、読出電流Ireadとして流れることになる。

【0402】メモリセルトランジスタMT1aが、コントロールゲートの電位レベルが0Vとなった場合でも、導通状態とならないようなデータを保持している場合は、バイポーラトランジスタのベース領域であるソース領域154にはバイアスが印加されず、ベース電流も流入しない。

【0403】したがって、セル選択線SL1には読出電流が流れないことになる。つまり、この電流値を図52に示したセンスアンプ128により増幅することで、メモリセルトランジスタMT1aに記憶されていたデータ

を読出すことが可能となる。

【0404】図54は、図52に示したメモリセルアレイ104の構成をより詳細に示す回路図である。

【0405】図54においては、メモリセルMC2bが選択状態となるような電位レベルが、ビット線BL1、BL2、第2のセル選択線MSL1~MSL4ならびに第1のセル選択線SL1、SL2に印加されているものとする。

【0406】すなわち、メモリセルMC2bのセル選択トランジスタMS2bのドレインが接続するビット線BL2の電位レベルは0Vに、ビット線BL1の電位レベルは-1.8Vに保持されている。さらに、バイポーラトランジスタBT2のエミッタが接続する第1のセル選択線SL1は-1.8Vに、セル選択トランジスタMS2bのセレクトゲートが接続する第2のセル選択線MSL2は-1.8Vに保持されているものとする。

【0407】その他の第1のセル選択線SL2および第2のセル選択線MSL1、MSL3、MSL4は、いずれも0Vに保持されている。

【0408】一方、上述したとおり、読出動作においては、メモリセルMC2bのメモリセルトランジスタMT2bのゲートに接続するワード線WL2の電位レベルは0Vに保持され、その他の非選択状態にあるワード線の電位レベルも0Vに保持されているものとする。

【0409】図55は、図54に示した各メモリセルにおける電位配置および電流の流れを模式的に示す概念図である。

【0410】まず、選択状態にあるメモリセルMC2bについては、図53において説明したとおり、ビット線の電位レベルが0Vに、セレクトゲートの電位レベルが-1.8Vに、コントロールゲートの電位レベルが0Vに、第1のセル選択線の電位レベルが-1.8Vに、N型ウェルの電位レベルが0Vにそれぞれ保持されている。

【0411】したがって、メモリセルトランジスタMT2bが導通状態であれば、ベース領域154は、ビット線の電位レベルに応じて、エミッタ領域160の電位レベルに比べて正側にバイアスされることになる。

【0412】この場合は、エミッタベース接合が順バイアスされ、第1のセル選択線に読出電流Ireadが流れることになる。

【0413】一方、非選択状態にあるメモリセルMC4aにおいては、ビット線の電位レベルは0Vに、セレクトゲートの電位レベルは0Vに、コントロールゲートの電位レベルは0Vに、第1のセル選択線SL2の電位レベルは-1.8Vとなっている。

【0414】したがって、セル選択トランジスタが遮断状態であるために、ビット線からベース領域154にベース電流が供給されることがない。

【0415】このため、第1のセル選択線SL2にはこ

のメモリセルMC4aの記憶しているデータの如何にかかわらず電流が流れない。

【0416】次に、非選択状態のメモリセルMC1bでは、ビット線の電位レベルは-1.8Vに、セレクトゲートの電位レベルは-1.8Vに、コントロールゲートの電位レベルは0Vに、第1のセル選択線の電位レベルは-1.8Vに、N型ウェルの電位レベルは0Vにそれぞれ保持されている。

【0417】この場合、セル選択トランジスタMS1bは、導通状態となっている。この場合、コントロールゲートの電位レベルは0Vとなることで、メモリセルトランジスタMT1bが導通状態となっている場合でも、バイポーラトランジスタのベース領域、すなわち、メモリセルトランジスタMT1bのソース領域は、ビット線の電位レベルが-1.8Vであるために、第1のセル選択線により、-1.8Vにバイアスされているエミッタ領域に対して正にバイアスされることがない。

【0418】したがって、バイポーラトランジスタのエミッタベース接合が順方向にバイアスされないために、このバイポーラトランジスタにはエミッタ電流が流れない。

【0419】すなわち、非選択状態にあるメモリセルMC1bは、メモリセルトランジスタMT1bの保持する記憶情報にかかわらず、その第1のセル選択線SL1には電流が流れない。

【0420】次に、非選択状態にあるメモリセルMC3aにおいては、ビット線の電位レベルが-1.8Vに、セレクトゲートの電位レベルは0Vに、コントロールゲートの電位レベルは0Vに、第1のセル選択線の電位レベルは-1.8Vに、N型ウェルの電位レベルは0Vにそれぞれ保持されている。

【0421】したがって、セル選択トランジスタMS3aは遮断状態となっているために、メモリセルトランジスタMT3aのソース領域、すなわち、バイポーラトランジスタのベース領域は、ビット線とは電氣的に遮断されている。

【0422】つまり、バイポーラトランジスタにはベース電流が供給されないため、この非選択メモリセルMC3aに接続する第1のセル選択線SL2には電流が流れない。

【0423】つまり、以上説明したようなビット線BL、ワード線WL、第1のセル選択線SLおよび第2のセル選択線MSLの電位レベルの電位配置とすることで、選択状態にあるメモリセルについては、その記憶するデータに応じて、第1のセル選択線に電流が流れ、非選択状態にあるメモリセルについては、第1のセル選択線には電流は流れない。

【0424】したがって、この第1のセル選択線に流れる電流値を読出すことにより、選択されたメモリセルの記憶情報を外部に読出すことが可能である。

【0425】次に、図53において説明したメモリセル各部のスタンバイ状態における電位配置の例について説明する。

【0426】図56は、図53において説明したメモリセルMC1aのスタンバイ状態における電位配置の例を示す図である。

【0427】図56においては、ビット線は電位-1.8Vに、セレクトゲートは0Vに、コントロールゲートは0Vに、第1のセル選択線は-1.8Vに、N型ウェルは0Vにそれぞれ保持されている。

【0428】このような電位配置とすることで、セル選択トランジスタMS1aが遮断状態となっているため、メモリセルトランジスタMT1aのソース領域をベース層とするバイポーラトランジスタには、ベース電流が供給されない。

【0429】したがって、スタンバイ状態において、第1のセル選択線SLに電流が流れることはない。

【0430】この状態から、読出状態の電位配置とするには、ビット線の電位レベルを、0Vに、セレクトゲートの電位レベルを-1.8Vへと変化させればよい。

【0431】図57は、図53に説明したメモリセルのスタンバイ状態における電位配置の他の例を説明する概念図である。

【0432】図57においては、ビット線の電位レベルは-1.8Vに、セレクトゲートの電位レベルは0Vに、第1のセル選択線の電位レベルは-1.8Vに、N型ウェルの電位レベルは0Vに保持されている。

【0433】この場合に、図56において説明したとおり、セル選択トランジスタMS1aのセレクトゲートの電位レベルが遮断状態となる電位レベルに保持されているため、ワード線の電位レベルは、必ずしも0Vとしておく必要はない。

【0434】したがって、図57においては、ワード線の電位レベル、すなわち、メモリセルトランジスタMT1aのコントロールゲートの電位レベルは任意の電圧としている。

【0435】この状態から、読出状態の電位配置とするためには、ビット線の電位レベルを0Vに、セレクトゲートの電位レベルを-1.8Vに変化させればよい。

【0436】この場合でも、書込データに応じてシフトさせるメモリセルトランジスタのしきい値電圧を調整することにより、読出動作時におけるワード線の電位レベル、すなわちコントロールゲートCGの電位レベルは任意の電圧とすることが可能である。

【0437】したがって、スタンバイ状態から、読出状態に移行するにあたりワード線の電位レベルを変化させる必要はない。

【0438】さらに、実施の形態1または8と同様に、待機状態において、N型ウェルに電源電位Vccを印加し、その他の部分の電位については、図56または図5

7に示した電位レベルとなるように保持して、スタンバイ状態とする構成も可能である。

【0439】図58は、図52に示したメモリセルアレイにおいて、ビット線、ワード線、第1のセル選択線SLおよび第2のセル選択線MSLの平面パターンを示す概念図である。

【0440】図58に示した例においては、第1のセル選択線SLが階層構造を有し、第2のセル選択線MSL（セレクトゲートSGを制御する配線）は、金属配線によるいわゆる杭打ち構造を有するものとする。

【0441】なお、図53に示した例においては、メモリセルトランジスタMT1aのフローティングゲートを構成する第1のポリシリコン層と、セル選択トランジスタMS1aの下層セレクトゲートとが同一のポリシリコン層で形成され、メモリセルトランジスタMT1aのコントロールゲートを構成する第2のポリシリコン層と、セル選択トランジスタの上層のセレクトゲートとが同一のポリシリコン層で形成されるものとして説明した。

【0442】しかしながら、たとえば、セレクトゲートトランジスタのゲートは、フローティングゲートを形成した第1のポリシリコン層のみを用いる構成とすることも可能である。

【0443】図58においては、セレクトゲートSGは、互いに電気的に結合するように積層された第1および第2のポリシリコン層より形成されている。

【0444】ワード線は、メモリセルトランジスタMT1a等のコントロールゲートを形成する第2のポリシリコン層により形成されている。

【0445】さらに、複数の列にわたって、第3層目のポリシリコン層によって、第1のセル選択線の副配線s1が形成されているものとする。

【0446】ビット線は、第1層目のアルミ配線により、列方向に配置される。さらに、第2層目のアルミ配線によって、複数のメモリセルの列ごとに第3層目のポリシリコン層で形成されている第1のセル選択線の副配線と、第2層目のアルミ配線で形成されている、第1のセル選択線の主配線とが接続されているものとする。

【0447】一方、第2のセル選択線も、複数のメモリセル列ごとに、2層目のアルミ配線とセレクトゲートを構成する2層目のポリシリコン層とが接続された、いわゆる杭打ち構造を有しているものとする。

【0448】ここで、読出動作は、通常8ビット同時に行なわれるため、セレクトゲートSGは同時に8本選択されることになる。このため、図のように第2のセル選択線MSLの杭打ち配線（図中、太線の2A1のSGと記載）を、複数本（2～8本）のセレクトゲートをまとめてた組に対応して設けることで、杭打ち配線の配線ピッチを緩和することが可能である。

【0449】このような構成とした場合でも、図53において説明したとおり、読出状態において、ワード線の

電位レベルは0Vに、スタンバイ状態においてもワード線の電位レベルは同じく0Vに保持される構成となっているので、ワード線が第2のポリシリコン層で形成されその配線抵抗が高い場合でも、読出速度に影響を与えることがない。

【0450】ワード線を第2層目のポリシリコン層で形成することとしても、読出速度に影響を与えることがない点は、図57において説明したとおり、スタンバイ状態においても、読出動作状態においても、ワード線の電位レベルを任意の電圧に保持する動作を行なった場合についても同様に当てはまる。

【0451】以上のような構成とすることで、読出動作を行なう際に電位レベルを変化させることが必要なビット線BL、第1のセル選択線SLおよび第2のセル選択線MSLの電位レベルの変化を、アルミ配線によって伝達することが可能であるため、高速な読出動作を実現することが可能である。

【0452】図59は、図52に示したメモリセルアレイ104に対する、ビット線BL、ワード線WL、第1のセル選択線SLならびに第2のセル選択線MSLの配線パターンの他の例を示す平面パターン図である。

【0453】図58に示した平面パターンと異なる点は、以下のとおりである。すなわち、図58においては、第1のセル選択線の主配線は、ワード線と平行に、言い換えると行方向に配置される構成となっていた。

【0454】図59に示した例では、第1のセル選択線SLの主配線を、1層目のアルミ配線で形成することとして、ビット線と平行に構成することとしている。

【0455】このような構成とすることで、2層目のアルミ配線の配線ピッチを余裕をもって形成することが可能となるため、図58の例に比べて、2層目のアルミ配線の形成が容易となるという効果がある。

【0456】図60は、メモリセルアレイ104に対するビット線BL、ワード線WL、第1のセル選択線SLおよび第2のセル選択線MSLのパターンの第3の例を示す平面パターン図である。

【0457】図59に示した平面パターンと異なる点は、第1のセル選択線の副配線を1層目のアルミ配線とし、第2のセル選択線MSLの杭打ち配線も1層目のアルミ配線で形成することとした点である。

【0458】これは、最低限、読出動作を一度に行なうビット数だけ、第1のセル選択線SLがあれば差し支えなく、あとはまとめて杭打ちすることができるためである。

【0459】これに応じて、ビット線は2層目のアルミ配線で、第1のセル選択線の主配線は2層目のアルミ配線で形成する構成となっている。

【0460】このような構成とすることで、第1のセル選択線の副配線の抵抗を減少させることが可能となるため、このような第1のセル選択線の副配線で接続される

メモリセルの列の数を増加させた場合でも、動作速度の低下を招くことがない。

【0461】すなわち、言い換えると第1のセル選択線の主配線の配線ピッチを図59に示した場合よりも、より大きくとることが可能となる。

【0462】図61は、図53で説明したメモリセルトランジスタの読出動作時における各部の電位配置の一例を示す図である。

【0463】選択状態となっているメモリセルにおいては、ビット線の電位レベルは0Vに、ワード線の電位レベルは0Vに、第1のセル選択線の電位レベルは-1.8Vに、第2のセル選択線の電位レベルは-1.8Vとなっている。

【0464】これに対して、非選択状態にあるビット線の電位レベルは-1.8Vに、ワード線の電位レベルは0Vに、第1のセル選択線の電位レベルは-1.8Vに、第2のセル選択線の電位レベル、すなわちセレクトゲートの電位レベルは0Vとなっている。

【0465】N型ウェルの電位レベルは0Vに保持されている。したがって、図55において説明したとおり、選択したメモリセルについてのみ、その記憶情報に応じた電位が第1のセル選択線に流れることになる。

【0466】図62は、図53において説明したメモリセルにデータを書込む際の各部の印加電位の一例を示す図である。

【0467】選択状態となり、データが書込まれるメモリセルに対しては、ビット線の電位レベルは-6Vに、ワード線の電位レベルは10Vに、セレクトゲートの電位レベル、すなわち第2のセル選択線の電位レベルは-7Vに、第1のセル選択線の電位レベルは0Vに保持される。

【0468】以上のような電位配置とすることで、選択されたメモリセルに対して、バンドバンド間トンネル電流により発生する電子がフローティングゲートに注入され、データの書込が行なわれる。

【0469】これに対して、非選択状態にあるメモリセルについては、ビット線の電位レベルは-1.8Vに、ワード線の電位レベルは0Vに、セレクトゲートの電位レベルは0Vに、第1のセル選択線の電位レベルは-1.8Vにそれぞれ保持される。

【0470】セレクトゲートの電位レベルが0Vに保持されていることで、書込動作時において、ビット線に印加されている負の高電圧（すなわち、-6V）が、メモリセルトランジスタのドレイン領域には直接印加されない。

【0471】このために、いわゆるドレインディスターブを完全に回避することが可能である。

【0472】図63は、消去動作時における印加電位の\*

$$0 = (V_{cg} - V_{fg}) \times C_{ono} + (V_{sub} - V_{fg}) \times (C_s + C_d + C_{sub}) \quad \cdots (1)$$

\* 電位配置の一例を示す図である。選択状態におけるビット線は開放状態に、ワード線の電位レベルは-1.8Vに、セレクトゲートの電位レベルは-1.8Vに、第1のセル選択線の電位レベルは0Vにそれぞれ保持される。

【0473】このような電位配置とすることで、フローティングゲートから、チャネル側に、いわゆるFNTトンネル電流が流れることで、電荷の引抜きが行なわれ、書込まれたデータの消去動作が行なわれることになる。

【0474】図64は、図53において説明したメモリセルトランジスタの平面パターンを示す図である。

【0475】図64においては、セル選択トランジスタMSとメモリセルトランジスタMTとは、同一のチャネル幅を有するように形成されている。

【0476】すなわち、素子分離用の絶縁膜606により規定される活性領域608の幅が、セル選択トランジスタにおいても、メモリセルトランジスタにおいても同一の幅となるように形成されている。

【0477】セル選択トランジスタMSのドレイン領域には、ビット線との接続をとるためのビット線コンタクトホール602、メモリセルトランジスタMTのソース領域側においては、バイポーラトランジスタのエミッタと第1のセル選択線が接続をとるためのコンタクトホール604がそれぞれ形成されている。

【0478】図65は、図64に示したメモリセルの平面パターンの第2の例を示すパターン図である。

【0479】図64に示したパターンと異なる点は、素子分離絶縁膜606を形成する際のパターンを変化させることで、セル選択トランジスタMSのゲート幅に比べて、メモリセルトランジスタのゲート幅をより小さくする構成としたことである。

【0480】このような構成とすることで、メモリセルトランジスタMTのカップリング比を増大させることが可能であるとともに、セル選択トランジスタの電流駆動能力を大きく維持して、読出電流値を確保することが可能となる。

【0481】ここで、メモリセルトランジスタのカップリング比とは、コントロールゲート電極に印加した電圧が、フローティングゲート電極に実効的に伝達される割合を表す。

【0482】以下、活性領域幅と印加電圧との関係を説明する。まず、消去動作時におけるトンネル酸化膜電界E<sub>ox</sub>について説明する。消去動作時であるため、メモリセルトランジスタにおけるソース電位、ドレイン電位および基板電位は全て等しい。したがって、メモリセルトランジスタ内の電荷蓄積量が0の場合、電荷の法則により、式(1)が成立する。

【0483】

ここで、 $V_{cg}$ は、コントロールゲート電極の電位を、 $V_{fg}$ は、フローティングゲート電極の電位をそれぞれ示す。

【0484】さらに、 $C_{ono}$ は、コントロールゲート電極とフローティングゲート電極との間の容量を、 $C_s$ は、フローティングゲート電極と基板との間の容量\*

$$\alpha_{cg} = C_{ono} / (C_{ono} + C_d + C_{sub} + C_s) \dots (2)$$

$$V_{fg} = \alpha_{cg} \times V_{cg} + (1 - \alpha_{cg}) \times V_{sub} \dots (3)$$

ここで、 $\alpha_{cg}$ は、カップリング比を表わす。

【0486】したがって、トンネル酸化膜電界 $E_{ox}$  ※10 【0487】

$$E_{ox} = |V_{fg} - V_{sub}| / t_{ox} \dots (4)$$

$$= \alpha_{cg} \times |V_{cg} - V_{sub}| / t_{ox} \dots (5)$$

ここで、 $t_{ox}$ は、トンネル酸化膜厚を表わす。また $|V_{cg} - V_{sub}|$ は、消去電圧を表わす。

【0488】以上により、カップリング比 $\alpha_{cg}$ が大きくなれば、トンネル酸化膜電界 $E_{ox}$ も大きくなる。これにともない、消去電圧 $|V_{cg} - V_{sub}|$ を小さく★

$$C_{ono} = E_{ox} \times L_{cg-fg} \times L / t_{eff} \dots (6)$$

$$(C_d + C_{sub} + C_s) = E_{ox} \times W_{eff} \times L / t_{ox} \dots (7)$$

ここで、 $L$ はゲート長を、 $t_{eff}$ はONO膜の酸化膜換算膜厚を、 $W_{eff}$ は活性領域幅をそれぞれ示す。また、 $L_{cg-fg}$ は、コントロールゲート電極とフローティングゲート電極との重なり長を示す。 ☆

$$\alpha_{cg} = 1 / \{1 + t_{eff} \times W_{eff} / (t_{ox} \times L_{cg-fg})\} \dots (8)$$

すなわち、式(8)により、活性領域幅 $W_{eff}$ が小さくなればカップリング比 $\alpha_{cg}$ は大きくなる。

【0492】以上に示す関係により、活性領域幅を小さくすることにより、消去電圧 $|V_{cg} - V_{sub}|$ を小さくすることができる。すなわち、消去に必要な電圧を低電圧化することが可能となる。

【0493】また同様に、書込動作時においても、活性領域幅を小さくして、カップリング比 $\alpha_{cg}$ を大きくすることにより、書込消去電圧を低電圧化することが可能となる。

【0494】一方、セル選択トランジスタの活性領域幅を大きくすることにより、メモリ選択トランジスタの電流駆動力が増大し、読出時などにセル選択トランジスタを導通させるのに必要なゲート印加電圧を低電圧化することが可能となる。したがって、分離酸化膜形成マスクをメモリセルトランジスタ部分において小さくし、セル選択トランジスタ部分において大きくすることで、これらの効果を同時に得られることができる。

【0495】図66は、図52に示したメモリセルアレイ104の他の構成をより詳細に説明するための回路図であり、図54と対比される図である。

【0496】図54に示した構成と異なる点は、メモリセルMC1aを例にとると、メモリセルトランジスタMT1aのドレインが直接ビット線BL1と接続し、メモリセルトランジスタMT1aのソース領域とバイポーラトランジスタのベース領域との間にセル選択トランジ

※をそれぞれ示す。また、 $C_d$ は、フローティングゲート電極とドレイン領域との間の容量を、 $C_s$ は、フローティングゲート電極とソース領域との間の容量をそれぞれ示す。

【0485】式(1)により、式(2)～(3)の関係が成立する。

※は、式(4)～(5)の関係を満たす。

★することが可能となる。

【0489】ところで、容量 $C_{ono}$ および容量 $(C_d + C_{sub} + C_s)$ は、それぞれ式(6)～(7)の関係を満たす。

【0490】

20 ☆ 【0491】したがって、式(2)、式(6)～(7)に基づき、カップリング比 $\alpha_{cg}$ について、式(8)が成立する。

タMS1aが配置される構成となっている点である。

【0497】したがって、図66に示した構成においては、バイポーラトランジスタは、セル選択トランジスタMS1aのソース領域の表面側にエミッタ領域を設けることで形成される。

30 【0498】図66に示したような構成とすることで、メモリセルへのデータ書込の際に、セル選択トランジスタによる電位降下の影響を受けることなく、メモリセルトランジスタMT1a等にデータの書込を行なうことが可能となる。

【0499】また、実施の形態9の不揮発性半導体記憶装置3000においても、ウェル電位駆動回路120からウェル電位が供給される配線が、同一の消去ブロック内に少なくとも2本以上存在する構成とすることが可能である。

40 【0500】このような場合でも、ウェル電位供給配線を消去ブロックに複数本配置することで、このようなバイポーラトランジスタの飽和現象を低減することが可能となる。

【0501】また、実施の形態9の不揮発性半導体記憶装置8000においても、実施の形態1の不揮発性半導体記憶装置1000について図16～図18で説明したような複数データの並列書込および並列ペリファイ動作を行なうことが可能である。

【0502】

50 【発明の効果】請求項1記載の不揮発性半導体記憶装置

においては、メモリセルトランジスタのチャネル領域を流れる電流をベース電流として、バイポーラトランジスタが電流増幅した電流をセル選択線に供給する。したがって、読出動作の高速化および読出動作におけるマージンの拡大を図ることが可能である。

【0503】しかも、バイポーラトランジスタのエミッタ電位を、セル選択線により独立に制御するので、このバイポーラトランジスタがオン状態とならない限り、ビット線から、セル選択線に対しては電流が流れない。このため、読出動作においてワード線に印加する電位レベルは任意の値とすることができる。言い換えると、書込後におけるメモリセルトランジスタのしきい値分布に影響されることなく、データの読出を行なうことが可能である。

【0504】さらに、バイポーラトランジスタがメモリセルの選択トランジスタとして働くため、読出動作時にビット線電位が伝達されるのは、選択セル1つに限られる。

【0505】このため、選択セルと同一ビット線上の非選択セルのリーク電流をなくことができ、過書き不良（または過消去不良）を完全に回避することが可能となる。従来、過書き（過消去）不良の制限から読み出し時ワード線印加電圧を低電圧化することが不可能であるため、外部電源電圧をこの限界値よりも低くした場合は、内部回路で昇圧してワード線印加電圧を発生することが必要であった。このため、その昇圧動作に要する時間による読出アクセス速度の低下および消費電力の増大が起こっていたが、本発明により昇圧の必要なく高速アクセスおよび低消費電力を維持しながら外部電源電圧の低電圧化を実現できる。

【0506】請求項2記載の不揮発性半導体記憶装置においては、バイポーラトランジスタは、メモリセルトランジスタのソース領域と領域を共有するので、メモリセル面積の増大を抑制しつつ、バイポーラトランジスタを形成できる。

【0507】請求項3記載の不揮発性半導体記憶装置においては、バイポーラトランジスタを、2つのセルで共有するので、セル選択線の個数をメモリセル行に比べて、少ない数で構成できる。

【0508】請求項4記載の不揮発性半導体記憶装置では、バイポーラトランジスタは、メモリセルトランジスタのソース領域と領域を共有するので、メモリセル面積の増大を抑制しつつ、バイポーラトランジスタを形成できる。

【0509】請求項5記載の不揮発性半導体記憶装置は、書込動作においてセル選択線を独立に駆動することが可能で、ドレインディスタブを防止できる。

【0510】請求項6記載の不揮発性半導体記憶装置では、データの並列書込および並列ベリファイが可能でデータ書込の高速化を図ることができる。

【0511】請求項7記載の不揮発性半導体記憶装置においては、非選択状態のワード線には、選択状態のワード線とは逆極性の電位が印加されているので、ドレインディスタブを防止することが可能である。

【0512】請求項8記載の不揮発性半導体記憶装置では、バイポーラトランジスタの飽和現象を低減することが可能である。

【0513】請求項9記載の不揮発性半導体記憶装置においては、バイポーラトランジスタが各メモリセルごとに設けられるので、同一ワード線上のメモリセルは完全に独立して動作するため、ドレインディスタブを防止することが可能である。

【0514】請求項10記載の不揮発性半導体記憶装置では、バイポーラトランジスタは、メモリセルトランジスタのソース領域と領域を共有するので、メモリセル面積の増大を抑制しつつ、バイポーラトランジスタを形成できる。

【0515】請求項11記載の不揮発性半導体記憶装置は、書込動作においてセル選択線を独立に駆動することが可能で、ドレインディスタブを防止できる。

【0516】請求項12記載の不揮発性半導体記憶装置では、データの並列書込および並列ベリファイが可能でデータ書込の高速化を図ることができる。

【0517】請求項13記載の不揮発性半導体記憶装置においては、非選択状態のワード線には、選択状態のワード線とは逆極性の電位が印加されているので、ドレインディスタブを防止することが可能である。

【0518】請求項14記載の不揮発性半導体記憶装置では、バイポーラトランジスタの飽和現象を低減することが可能である。

【0519】請求項15記載の不揮発性半導体記憶装置においては、セル選択線が各メモリセルごとに設けられるので、同一ワード線上のメモリセルは完全に独立して動作するため、ドレインディスタブを防止することが可能である。

【0520】請求項16記載の不揮発性半導体記憶装置では、バイポーラトランジスタは、メモリセルトランジスタのソース領域と領域を共有するので、メモリセル面積の増大を抑制しつつ、バイポーラトランジスタを形成できる。

【0521】請求項17記載の不揮発性半導体記憶装置では、バイポーラトランジスタは、メモリセルトランジスタのソース領域と領域を共有するので、メモリセル面積の増大を抑制しつつ、バイポーラトランジスタを形成できる。

【0522】請求項18記載の不揮発性半導体記憶装置は、書込動作においてセル選択線を独立に駆動することが可能で、ドレインディスタブを防止できる。

【0523】請求項19記載の不揮発性半導体記憶装置では、データの並列書込および並列ベリファイが可能で

データ書込の高速化を図ることができる。

【0524】請求項20記載の不揮発性半導体記憶装置においては、非選択状態のワード線には、選択状態のワード線とは逆極性の電位が印加されているので、ドレインディスターブを防止することが可能である。

【0525】請求項21記載の不揮発性半導体記憶装置では、バイポーラトランジスタの飽和現象を低減することが可能である。

【図面の簡単な説明】

【図1】 本発明の実施の形態1の不揮発性半導体記憶装置1000の構成を示す概略ブロック図である。

【図2】 実施の形態1のメモリセルの構造を示す概念図である。

【図3】 実施の形態1のメモリセルの読出動作における電流の流れを示す模式図である。

【図4】 実施の形態1のメモリセルの平面パターンを示す平面図である。

【図5】 メモリセルアレイ104の構成を説明するための回路図である。

【図6】 選択状態のセルおよび非選択状態のセルの電位分布を説明するための模式図である。

【図7】 書込状態におけるメモリセルアレイ中の電位配置を説明するための図である。

【図8】 書込状態におけるメモリセルの電位配置を説明するための図である。

【図9】 書込状態におけるメモリセルの電位配置の他の例を示す図である。

【図10】 実施の形態1のメモリセルに対する消去動作の電位配置の第1の例を示す図である。

【図11】 実施の形態1のメモリセルの消去動作における電位配置の第2の例を示す図である。

【図12】 実施の形態1のメモリセルのスタンバイ状態における電位配置の第1の例を示す図である。

【図13】 実施の形態1のメモリセルのスタンバイ状態における電位配置の第2の例を示す図である。

【図14】 実施の形態1のメモリセルのスタンバイ状態における電位配置の第3の例を示す図である。

【図15】 実施の形態1のメモリセルアレイにおけるウェル電位供給配線の構成を示す平面図である。

【図16】 実施の形態1の不揮発性半導体記憶装置のデータの書込動作を説明するための概念図である。

【図17】 実施の形態1の不揮発性半導体記憶装置のベリファイ動作を説明するための概念図である。

【図18】 実施の形態1の不揮発性半導体記憶装置のデータ書込動作を説明するためのフローチャートである。

【図19】 メモリセル部の実施の形態2の不揮発性半導体記憶装置のメモリセルトランジスタ部の製造方法の第1工程を示す断面図である。

【図20】 メモリセル部の実施の形態2の不揮発性半

導体記憶装置のメモリセルトランジスタ部の製造方法の第2工程を示す断面図である。

【図21】 メモリセル部の実施の形態2の不揮発性半導体記憶装置のメモリセルトランジスタ部の製造方法の第3工程を示す断面図である。

【図22】 メモリセル部の実施の形態2の不揮発性半導体記憶装置のメモリセルトランジスタ部の製造方法の第4工程を示す断面図である。

【図23】 メモリセル部の実施の形態2の不揮発性半導体記憶装置のメモリセルトランジスタ部の製造方法の第5工程を示す断面図である。

【図24】 メモリセル部の実施の形態2の不揮発性半導体記憶装置のメモリセルトランジスタ部の製造方法の第6工程を示す断面図である。

【図25】 メモリセル部の実施の形態2の不揮発性半導体記憶装置のメモリセルトランジスタ部の製造方法の第7工程を示す断面図である。

【図26】 メモリセル部の実施の形態2の不揮発性半導体記憶装置のメモリセルトランジスタ部の製造方法の第8工程を示す断面図である。

【図27】 メモリセル部の実施の形態2の不揮発性半導体記憶装置のメモリセルトランジスタ部の製造方法の第9工程を示す断面図である。

【図28】 メモリセル部の実施の形態2の不揮発性半導体記憶装置のメモリセルトランジスタ部の製造方法の第10工程を示す断面図である。

【図29】 メモリセル部の実施の形態2の不揮発性半導体記憶装置のメモリセルトランジスタ部の製造方法の第11工程を示す断面図である。

【図30】 メモリセル部の実施の形態2の不揮発性半導体記憶装置のメモリセルトランジスタ部の製造方法の第12工程を示す断面図である。

【図31】 本発明の実施の形態3のメモリセルトランジスタの製造方法の工程を示すための断面図である。

【図32】 本発明の実施の形態4のメモリセルトランジスタの製造方法を説明するための断面図である。

【図33】 本発明の実施の形態5の不揮発性半導体記憶装置のメモリセルトランジスタ部の製造方法を示す第1の断面図である。

【図34】 本発明の実施の形態5の不揮発性半導体記憶装置のメモリセルトランジスタ部の製造方法を示す第2の断面図である。

【図35】 本発明の実施の形態6の不揮発性半導体記憶装置のメモリセルトランジスタ部の製造方法を示す第1の断面図である。

【図36】 本発明の実施の形態6の不揮発性半導体記憶装置のメモリセルトランジスタ部の製造方法を示す第2の断面図である。

【図37】 本発明の実施の形態7の不揮発性半導体記憶装置のメモリセルトランジスタ部の製造方法を示す第



1の断面図である。

【図38】 本発明の実施の形態7の不揮発性半導体記憶装置のメモリセルトランジスタ部の製造方法の工程を示す第2の断面図である。

【図39】 不揮発性半導体記憶装置のウェル構造の一例を示す断面図である。

【図40】 不揮発性半導体記憶装置のウェル構造の第2の例を示す断面図である。

【図41】 不揮発性半導体記憶装置のウェル構造の第3の例を示す断面図である。

【図42】 不揮発性半導体記憶装置のウェル構造の第4の例を示す断面図である。

【図43】 本発明の実施の形態8の不揮発性半導体記憶装置2000の構成を示す概略ブロック図である。

【図44】 本発明の実施の形態8のメモリセル部の構造を示す断面図である。

【図45】 本発明の実施の形態8のメモリセルアレイ104の構成を詳細に示す回路図である。

【図46】 本発明の実施の形態8のメモリセルの構造を示す断面図である。

【図47】 本発明の実施の形態8のメモリセルアレイのスタンバイ状態における電位配置を示す第1の図である。

【図48】 本発明の実施の形態8のメモリセル部のスタンバイ状態における電位配置を示す第2の図である。

【図49】 本発明の実施の形態8のメモリセルトランジスタ部のスタンバイ状態における電位配置を示す第3の図である。

【図50】 本発明の実施の形態8の不揮発性半導体記憶装置の読出動作を説明するためのタイミングチャートである。

【図51】 本発明の実施の形態8のメモリセルアレイ部におけるウェル電位供給配線の配置を示す平面図である。

【図52】 本発明の実施の形態9の不揮発性半導体記憶装置3000の構成を示す概略ブロック図である。

【図53】 図52に示したメモリセルの構造を示す断面図である。

【図54】 図52に示したメモリセルアレイ104の構成をより詳細に示す回路図である。

【図55】 図53に示したメモリセルの選択状態および非選択状態における電位配置を説明するための概念図である。

【図56】 図53に示したメモリセルのスタンバイ状態における電位配置を説明するための第1の概念図である。

【図57】 図53に示したメモリセルのスタンバイ状態における電位配置を示す第2の概念図である。

【図58】 図52に示したメモリセルアレイにおける配線パターンの第1の例を示す平面図である。

【図59】 図52に示したメモリセルアレイにおける配線パターンの第2の例を示す平面図である。

【図60】 図52に示したメモリセルアレイにおける配線パターンの第3の例を示す平面図である。

【図61】 図53で説明したメモリセルの読出動作時における印加電位の電位配置を示す図である。

【図62】 図53で説明したメモリセルの書込動作時における印加電位の電位配置を示す図である。

【図63】 図53で説明したメモリセルの消去動作時における印加電位の電位配置を示す図である。

【図64】 図53において説明したメモリセルの平面パターンの第1の例を示す平面図である。

【図65】 図53において説明したメモリセルの平面パターンの第2の例を示す平面図である。

【図66】 図52において説明したメモリセルアレイの第2の構成の例を示す回路図である。

【図67】 従来のNOR型フラッシュメモリのメモリセルアレイの構成を示す回路図である。

【図68】 従来の不揮発性半導体記憶装置のメモリセルトランジスタの構造を説明するための断面模式図である。

【図69】 従来のNOR型フラッシュメモリにおけるメモリセルトランジスタのしきい値分布を示す図である。

【図70】 従来のNOR型フラッシュメモリにおけるメモリセルトランジスタのしきい値分布を示す図である。

【図71】 従来のNOR型フラッシュメモリにおける過消去セルの問題を説明するための図である。

【図72】 従来のDINOR型フラッシュメモリのメモリ構成を示す回路図である。

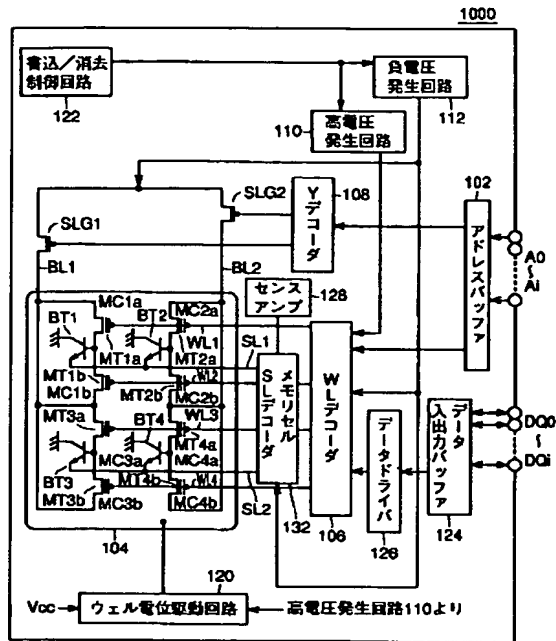
【図73】 従来のDINOR型フラッシュメモリにおけるメモリセルトランジスタのしきい値分布を示す図である。

【図74】 従来のDINOR型フラッシュメモリにおけるメモリセルトランジスタのしきい値分布を示す図である。

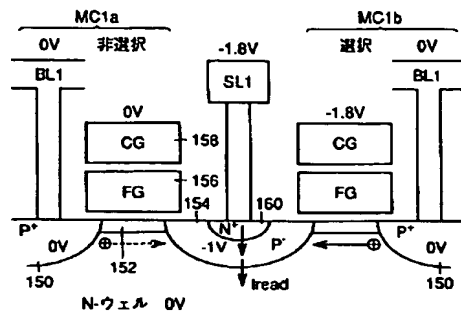
【符号の説明】

102 アドレスバッファ、104 メモリセルアレイ、106 WLデコーダ、108 Yデコーダ、110 高電圧発生回路、112 負電圧発生回路、120 ウェル電位駆動回路、122 書込/消去制御回路、124 データ入出力バッファ、126 データドライバ、128 センサンプ、132 メモリセルSLデコーダ、BL1、BL2 ビット線、WL1、WL2、WL3、WL4 ワード線、SL1、SL2 第1のセル選択線、MSL1、MSL2、MSL3、MSL4 第2のセル選択線、1000、2000、3000 不揮発性半導体記憶装置。

【図 1】



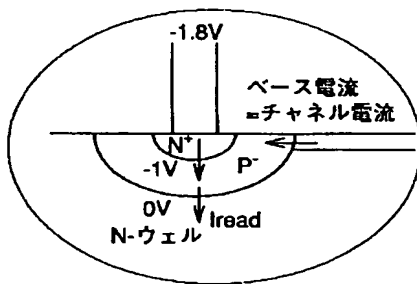
【図 2】



【図 8】

	BL	WL	SL
選択状態	-6V	10V	0V
非選択状態	0V	0V	0V

【図 3】



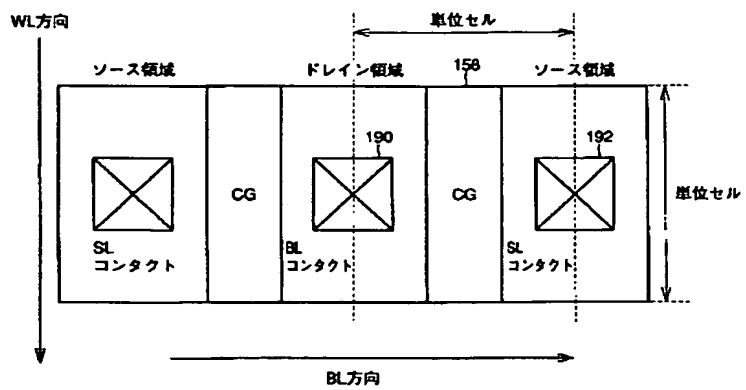
【図 10】

BL	WL	SL	Well
0V	-18V	0V	0V

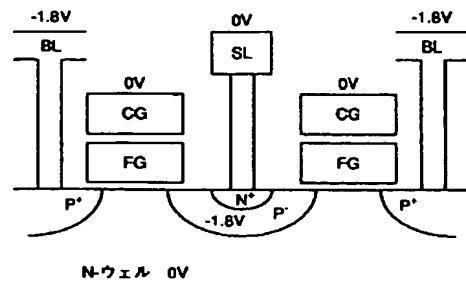
【図 11】

BL	WL	SL	Well
オープン	-12V	6V	6V

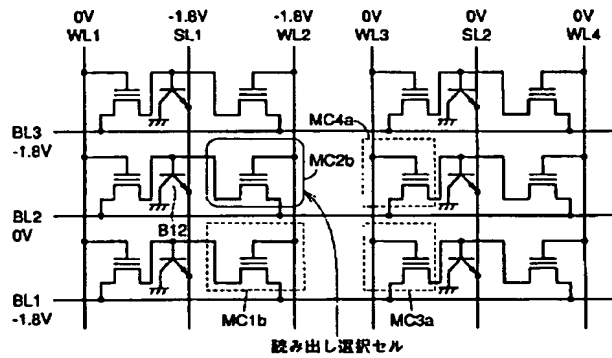
【図 4】



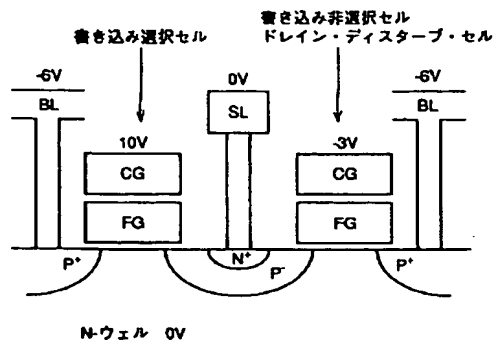
【図 12】



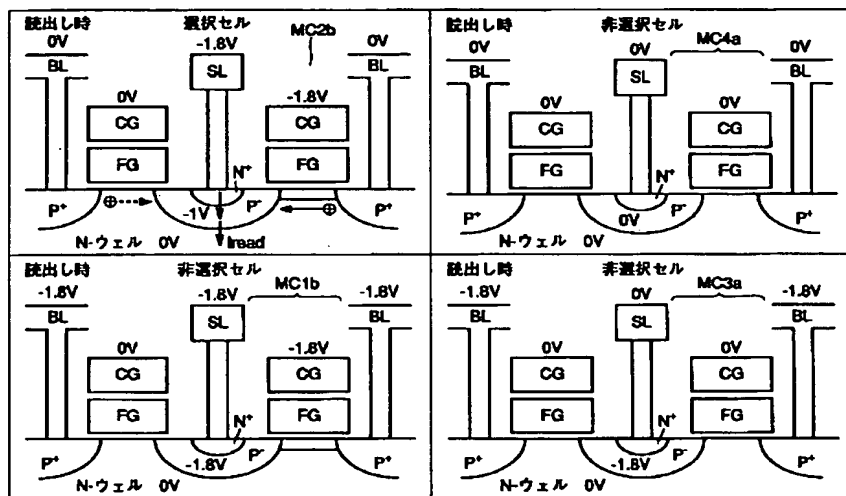
【図5】



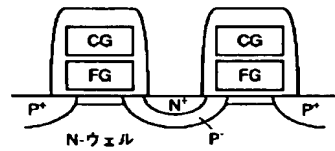
【図9】



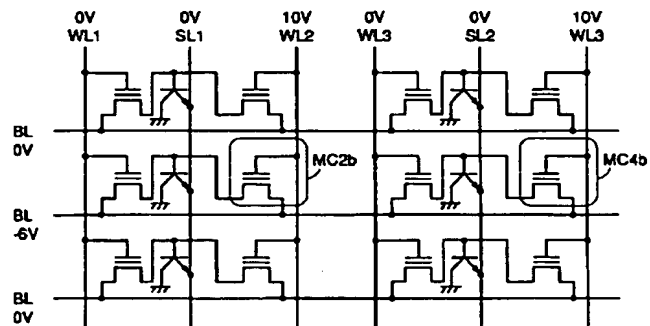
【図6】



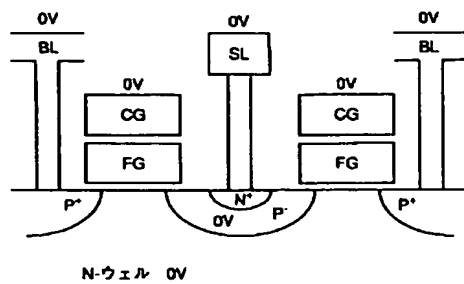
【図26】



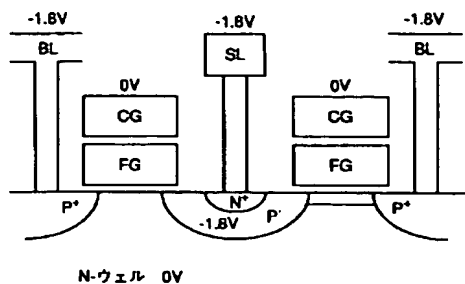
【図7】



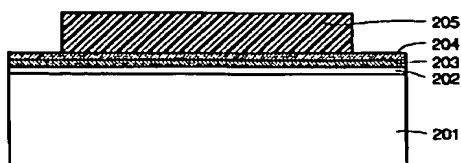
【図13】



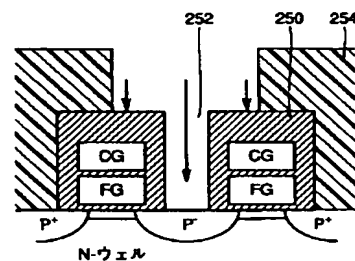
【図14】



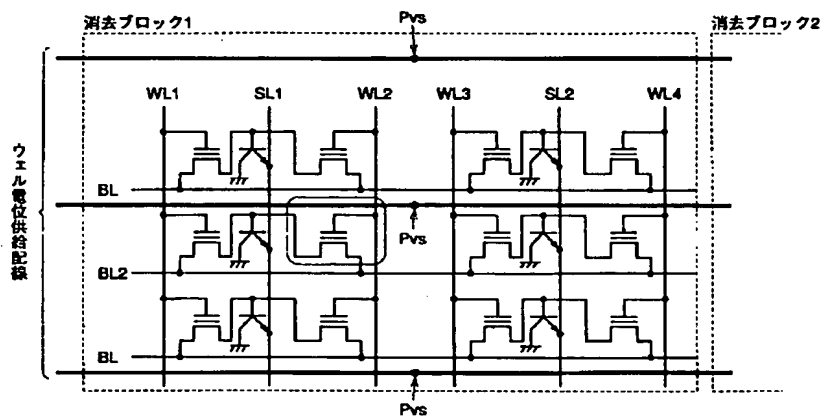
【図19】



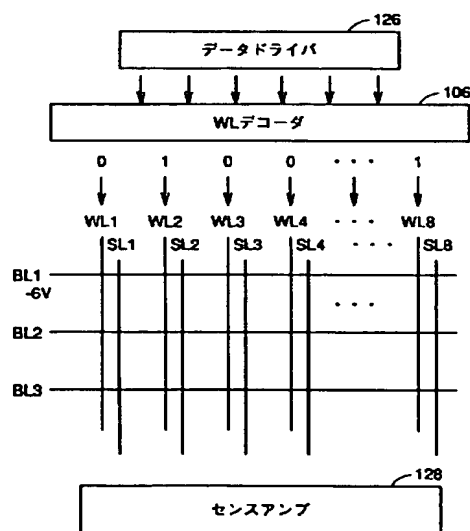
【図31】



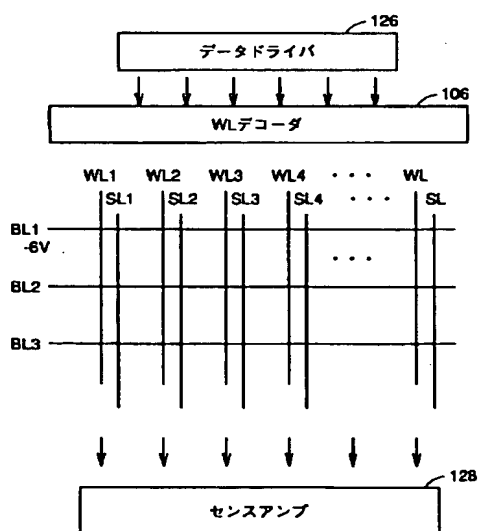
【図15】



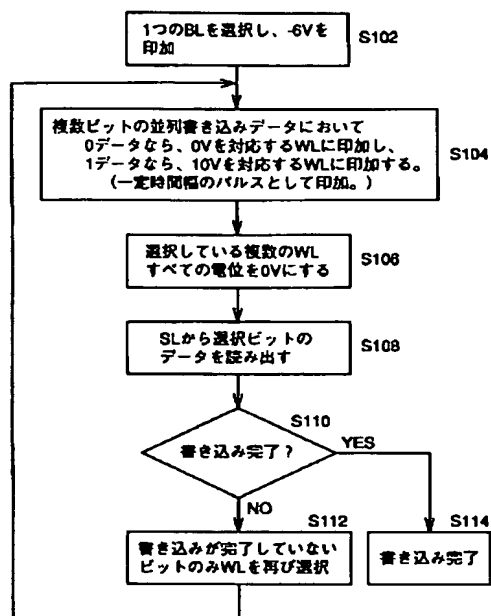
【図16】



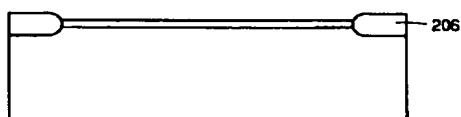
【図17】



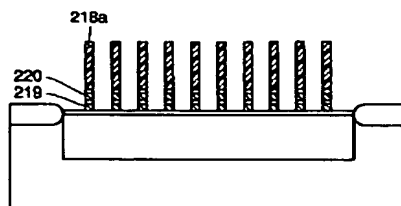
【図18】



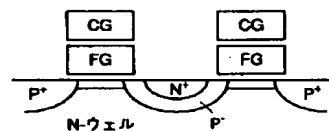
【図20】



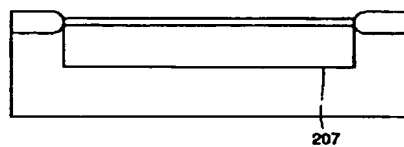
【図23】



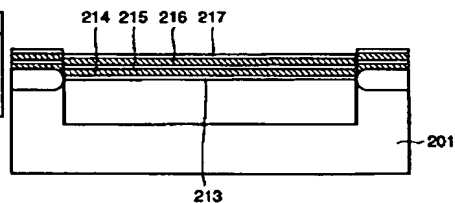
【図38】



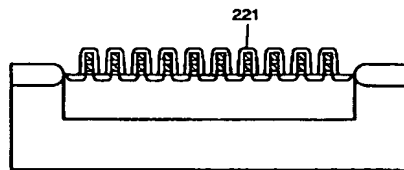
【図21】



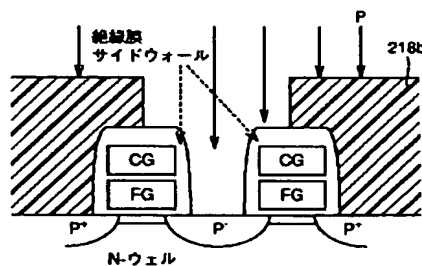
【図22】



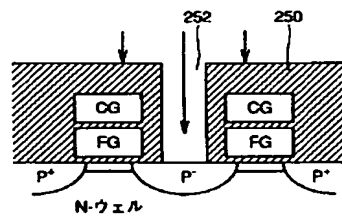
【図24】



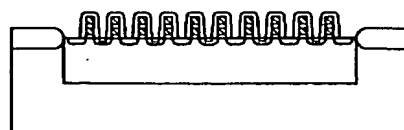
【図25】



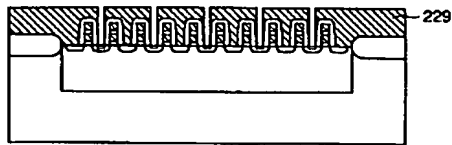
【図32】



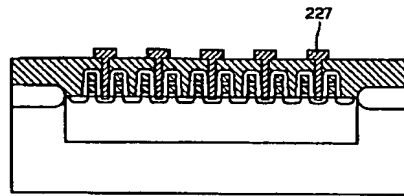
【図27】



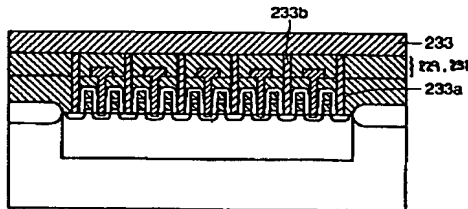
【図28】



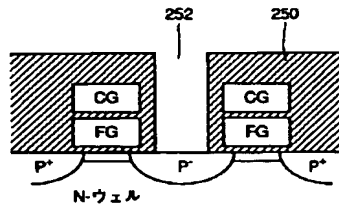
【図29】



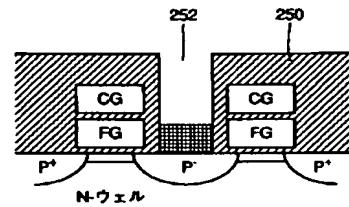
【図30】



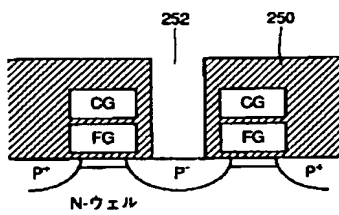
【図33】



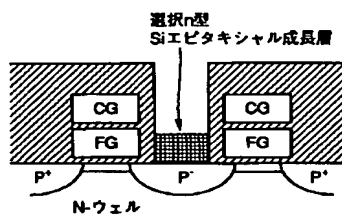
【図34】



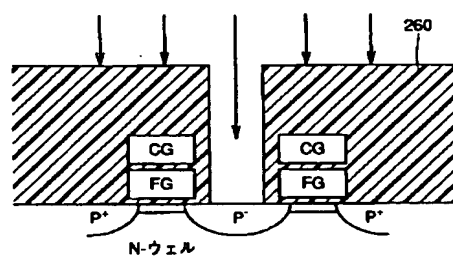
【図35】



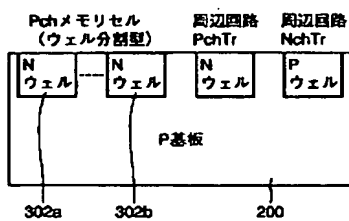
【図36】



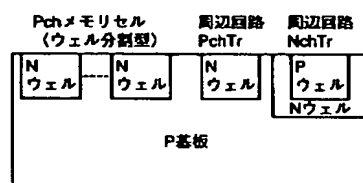
【図37】



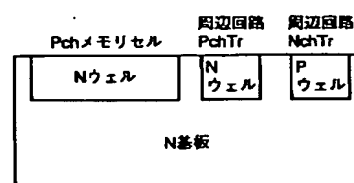
【図39】



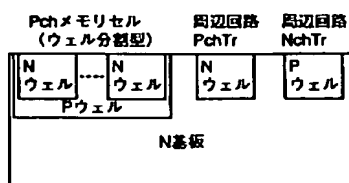
【図40】



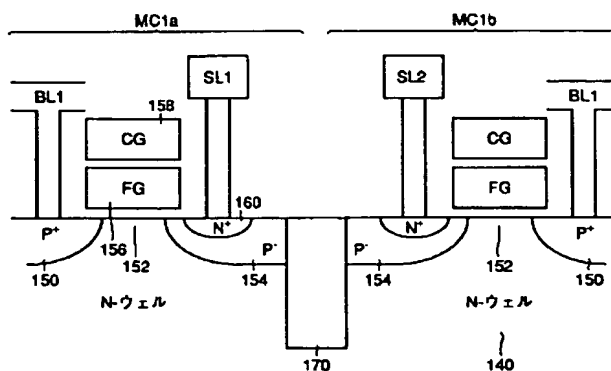
【図41】



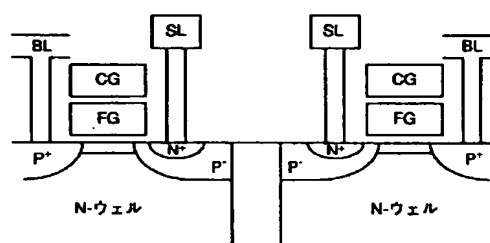
【図42】



【图 4 4】

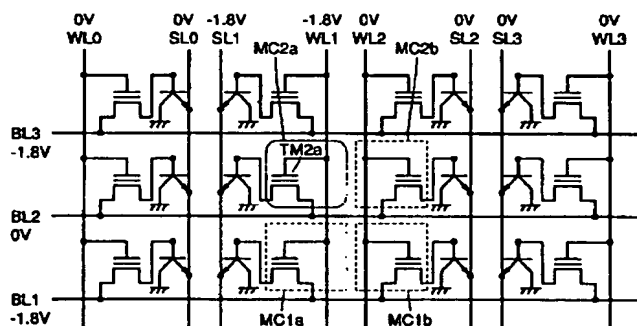


【图46】

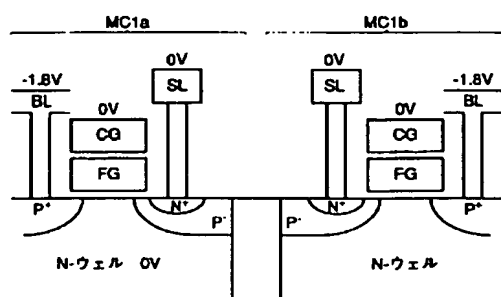


(a)

【圖45】



【图 47】



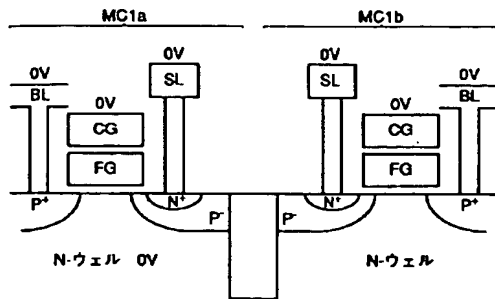
【圖 6 1】

読み出し動作時の印加電位

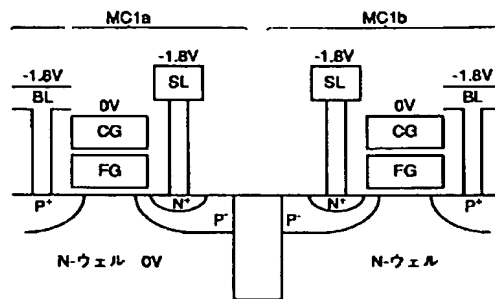
	BL	WL	SG	SL
選択状態	0V	0V	-1.8V	-1.8V
非選択状態	-1.8V	0V	0V	-1.8V

Nウェル=0V

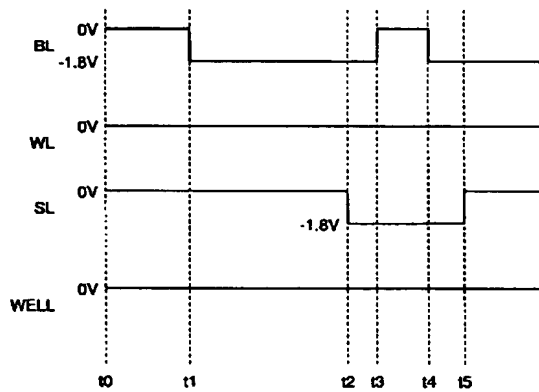
【図48】



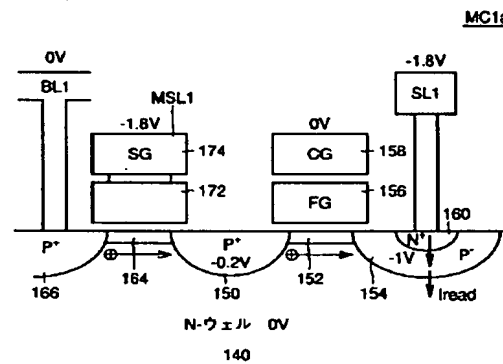
【図49】



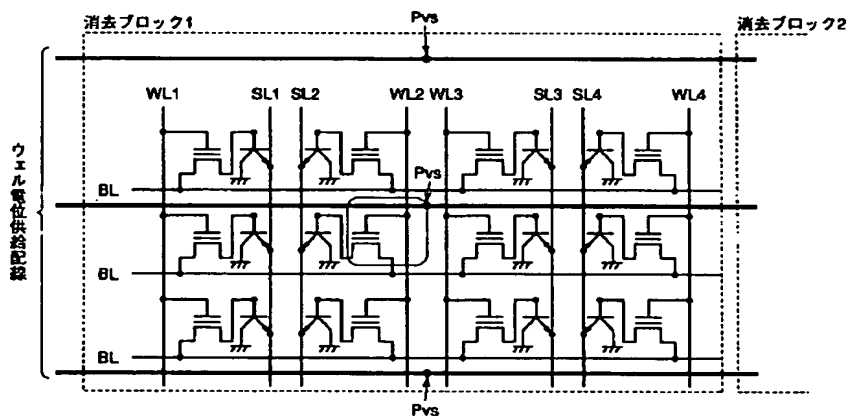
【図50】



【図53】

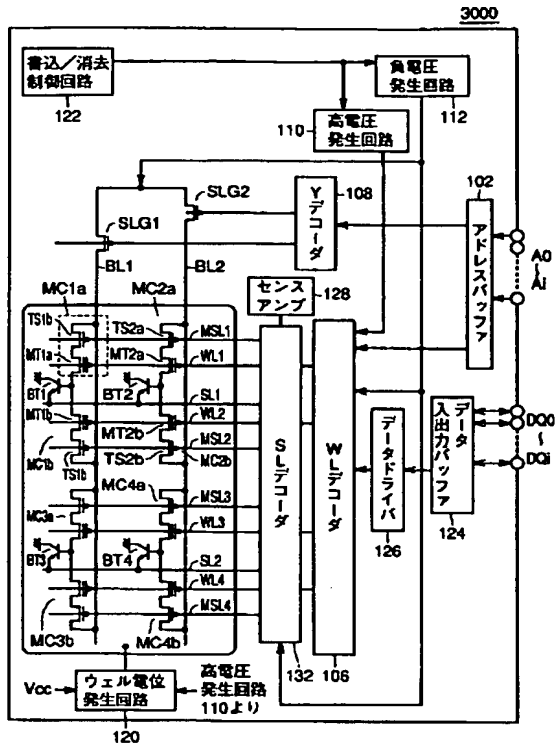


【図51】

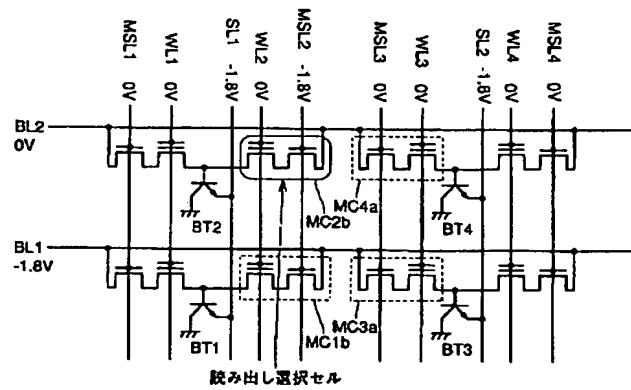




【図52】



【図54】



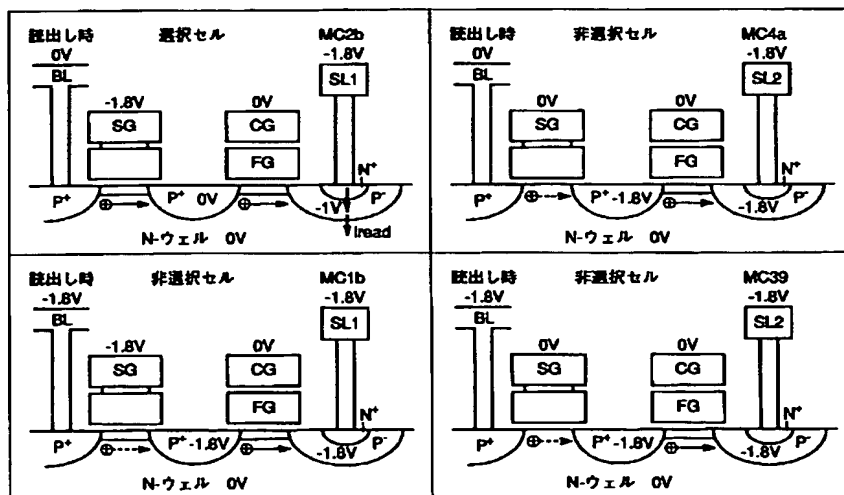
【図62】

書き込み動作時の印加電位

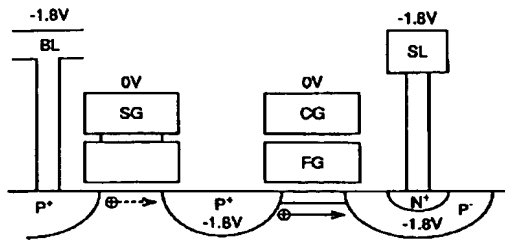
	BL	WL	SG	SL
選択状態	-6V	10V	-7V	0V
非選択状態	-1.8V	0V	0V	-1.8V

Nウェル=0V

【図55】

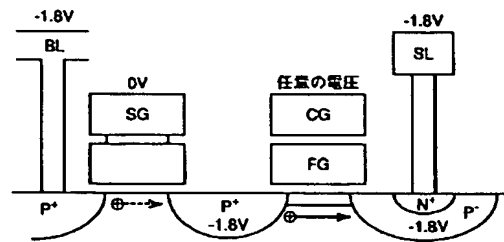


【図56】



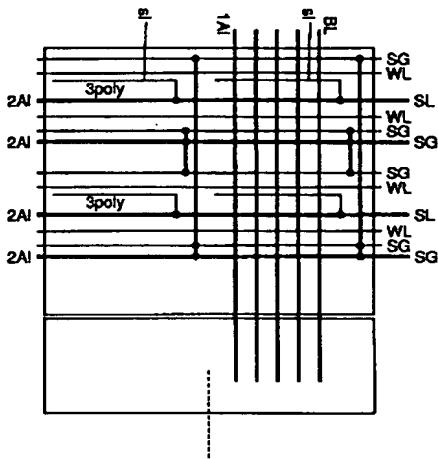
N-ウェル 0V

【図57】



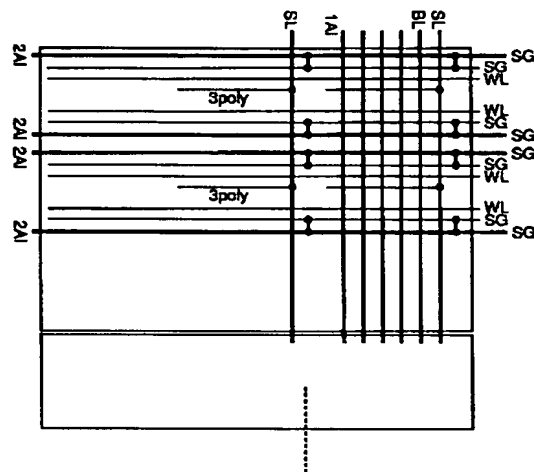
N-ウェル 0V

【図58】



【図60】

【図59】



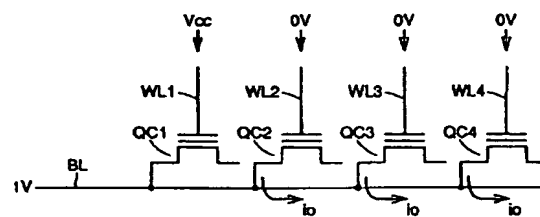
【図63】

消去動作時の印加電位

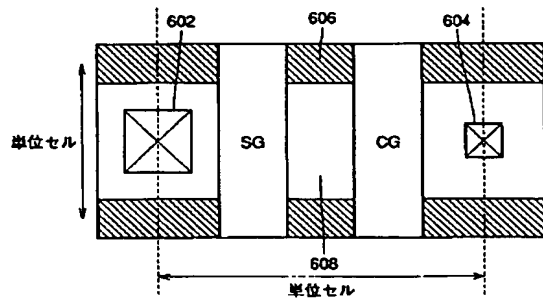
	BL	WL	SG	SL
選択状態	オープン	-18V	-1.8V	0V
非選択状態	-1.8V	0V	0V	-1.8V

Nウェル=0V

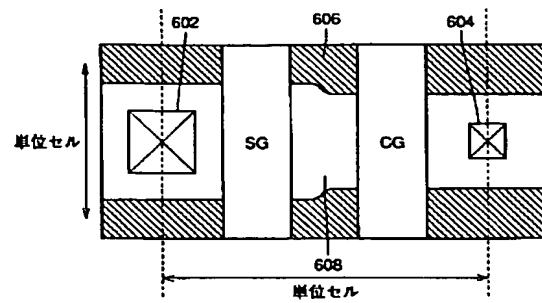
【図71】



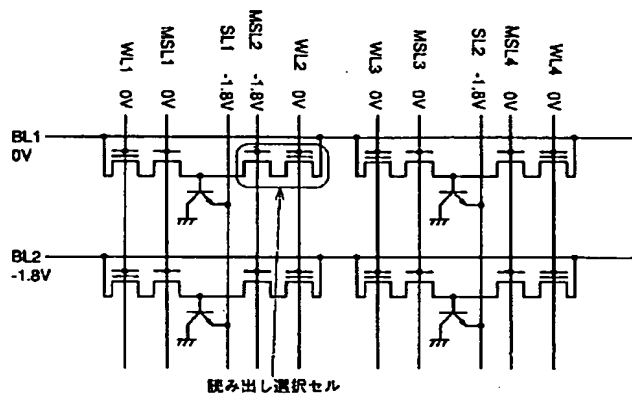
【図 64】



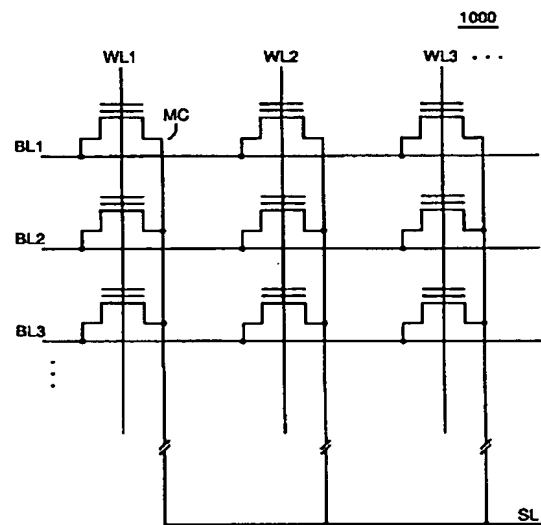
【図 65】



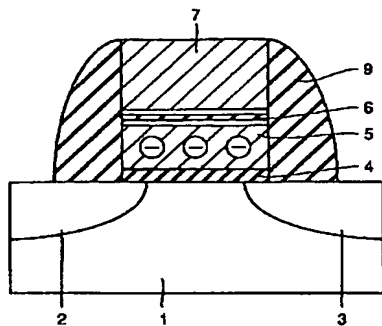
【図 66】



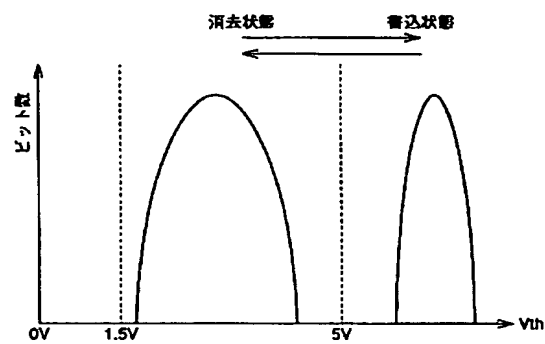
【図 67】



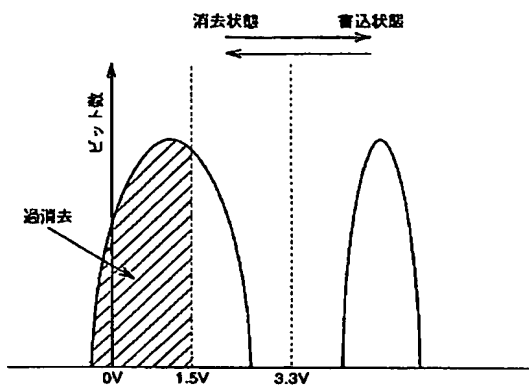
【図 68】



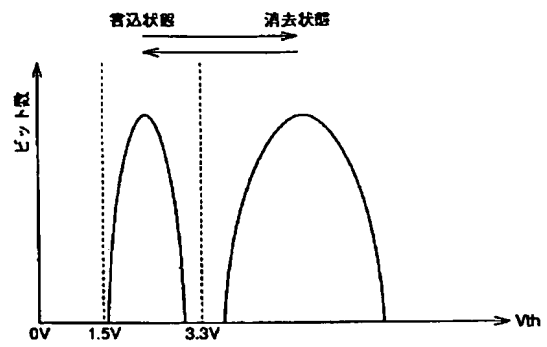
【図 69】



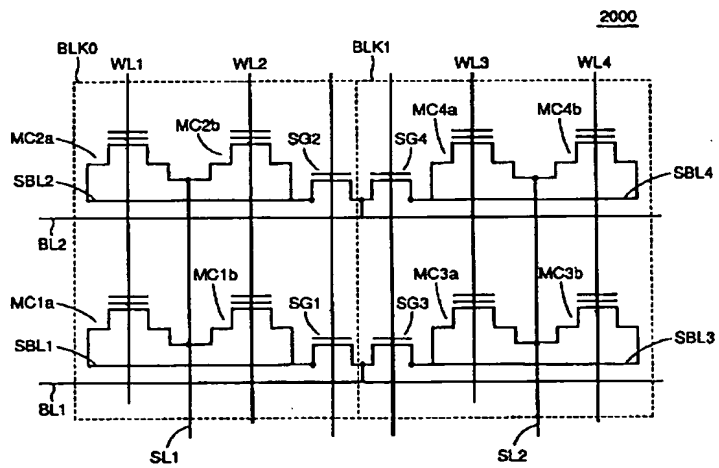
【図 70】



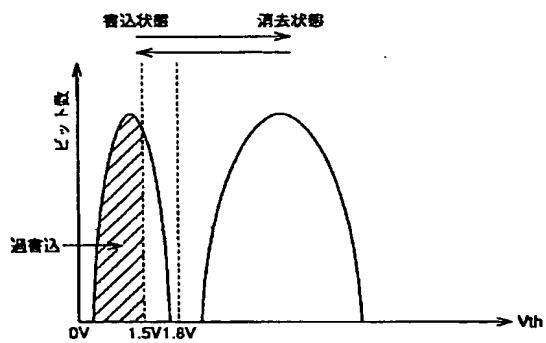
【図 73】



【図 72】



【図 74】



(43)

特開平 1 1 - 8 7 6 5 9

フロントページの続き

(51)Int.Cl.<sup>6</sup>

H 0 1 L 29/792

識別記号

F I